

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-244488

(43)Date of publication of application : 28.09.1990

(51)Int.Cl.

G11C 11/413

(21)Application number : 01-063764

(71)Applicant : HITACHI LTD  
HITACHI VLSI ENG CORP

(22)Date of filing : 17.03.1989

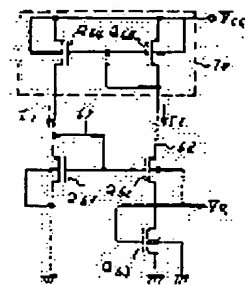
(72)Inventor : HORIGUCHI SHINJI  
AOKI MASAKAZU  
ITO KIYOO  
NAKAGOME YOSHINOBU  
IKENAGA SHINICHI  
ETO JUN  
MIYAKE NORIO  
NODA TAKAAKI  
TANAKA HITOSHI

## (54) LARGE SCALE INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To stabilize the operation by using two pieces of FETs of an enhancement type whose threshold voltages are different, fetching a voltage difference at the time when a current of a prescribed ratio is allowed to flow to them and setting it as a reference voltage.

CONSTITUTION: This circuit consists of N channel MOSFETs Q61-Q63 and P channel MOSFETs Q64, Q65, and a positive voltage is applied from an external power source Vcc. In this case, the N channel MOSFETs Q61-Q63 consist of enhancement type FETs Q62, Q63 having a standard threshold voltage VTE and an enhancement type FET Q61 having a threshold voltage VTEE being higher than VTE. In such a way, since two pieces of FETs of an enhancement type whose threshold voltages are different are used, a difference of those threshold voltages can be made small enough. Accordingly, characteristics of two pieces of FETs can be fitted easily, and a stable reference voltage can be obtained. In such a way, the operation is stabilized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2928531号

(45) 発行日 平成11年(1999) 8月3日

(24) 登録日 平成11年(1999) 5月14日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 F

G 0 5 F 3/24

G 0 5 F 3/24

Z

G 1 1 C 11/413

G 1 1 C 11/34

3 3 5 A

H 0 1 L 21/8242

H 0 1 L 27/10

6 8 1 F

27/108

請求項の数20(全 69 頁)

(21) 出願番号

特願平1-63764

(22) 出願日

平成1年(1989) 3月17日

(65) 公開番号

特開平2-244488

(43) 公開日

平成2年(1990) 9月28日

審査請求日

平成8年(1996) 3月15日

(73) 特許権者 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(73) 特許権者 999999999

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者

堀口 真志

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者

育木 正和

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人

弁理士 小川 勝男 (外1名)

審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 大規模集積回路

(57) 【特許請求の範囲】

【請求項1】 外部電源端子と、上記外部電源端子から供給される外部電圧を内部電圧に変換する内部電圧発生回路と、上記内部電圧を電源として動作する内部回路とを有し、

上記内部電圧発生回路は、基準電圧を発生する基準電圧発生回路と、上記基準電圧に基づいて上記内部電圧を出力する駆動回路とを含み、

上記駆動回路は、上記基準電圧に基づく信号を一方の入力端子に受ける差動増幅器と、上記差動増幅器の出力する信号に基づいてゲートが制御され上記内部電圧を出力する出力MOSFETと、上記出力MOSFETの出力に基づく信号を上記差動増幅器の他方の入力端子に入力する帰還手段と、上記差動増幅器及び上記出力MOSFETの少なくとも一方の周波数特性を変更する位相補償回路とを有すること

を特徴とする半導体装置。

【請求項2】 上記位相補償回路は、上記出力MOSFETの出力ノードとゲートの間に接続されたキャパシタを含んでなることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記位相補償回路は、上記出力MOSFETの出力ノードと、回路の基準電位点との間に設けられたキャパシタと抵抗との直列回路とを含んでなることを特徴とする請求項1記載の半導体装置。

【請求項4】 外部電源端子と、上記外部電源端子から供給される外部電圧を内部電圧に変換する内部電圧発生回路と、上記内部電圧を電源として動作する内部回路とを有し、

上記内部電圧発生回路は、少なくとも基準電圧を発生する基準電圧発生回路と、上記基準電圧に比例した電圧を発生する電圧変換手段とを含み、

上記電圧変換手段は、少なくとも一方の入力端子に上記基準電圧が供給される差動増幅器と、上記差動増幅器の出力端子と他方の入力端子との間に設けられたフィードバック回路とを有し、

上記フィードバック回路は、抵抗素子として動作する並列形態の複数のMOSFETと、上記複数のMOSFETの内の所定MOSFETを切り離すことにより上記複数のMOSFETの等価抵抗を変更するようにされた回路とを有することを特徴とする半導体装置

【請求項5】上記複数のMOSFETは、ウェル内に形成され、上記複数のMOSFETはそれぞれのソースがウェルに結合されてなることを特徴とする請求項4記載の半導体装置。

【請求項6】外部電源端子と、  
上記外部電源端子から供給される外部電圧を内部電圧に変換する複数個の内部電圧発生回路と、  
上記内部電圧をそれぞれ電源として動作する複数個の内部回路と、  
上記複数個の内部電圧発生回路のうち少なくとも2個の出力同士を接続する接続手段とを備え、

上記接続手段は、所定の電圧にバイアスされたゲートと上記2個の出力同士を接続するソース・ドレイン経路とを持つ第1MOSFETを含むことを特徴とする半導体装置。

【請求項7】上記接続手段は、上記2個の出力同士を接続するダイオード接続された第2MOSFETと、上記2個の出力同士を上記第2MOSFETとは逆方向に接続するダイオード接続された第3MOSFETとをさらに含んでなることを特徴とする請求項6記載の半導体装置。

【請求項8】上記複数個の内部電圧発生回路は、第1内部電圧発生回路と、第2内部電圧発生回路と、上記第1及び第2電圧発生回路よりも電流供給能力が小さくされるとともに上記第1及び第2内部電圧発生回路が動作停止される期間において上記内部電圧を発生する期間を持つ第3内部電圧発生回路を含み、

上記第1電圧発生回路と上記第2電圧発生回路の出力同士は上記接続手段によって接続され、上記第3電圧発生回路の出力は上記第1電圧発生回路の出力に直接に接続されることを特徴とする請求項6又は7記載の半導体装置。

【請求項9】上記内部電圧は、上記外部電圧よりも小さな電圧であることを特徴とする請求項1から8のいずれか1に記載の半導体装置。

【請求項10】上記半導体装置は、複数のダイナミック形メモリセルを含むダイナミック形メモリであることを特徴とする請求項1から9のいずれか1に記載の半導体装置。

【請求項11】上記半導体装置は、複数のワード線と複数のデータ線との交点に設けられた複数のダイナミック形メモリセルと、上記複数のデータ線に出力される信号をそれぞれに増幅するための複数のセンスアンプを更に

含み、

上記内部電圧は上記外部電圧よりも小さな電圧であり、  
上記内部回路は上記複数のセンスアンプであることを特徴とする請求項1から5のいずれか1に記載の半導体装置。

【請求項12】複数のワード線と複数のデータ線の交点に設けられた複数のメモリセルと、  
前記複数のデータ線に出力される信号をそれぞれに増幅するための複数のセンスアンプと、  
前記複数のワード線の一つを選択するための信号を形成するロウデコーダと、  
前記ロウデコーダの選択信号を受けて選択されたワード線を所定の電圧に駆動するためのワード線駆動回路と、  
前記複数のデータ線の一つを選択するための信号を形成するカラムデコーダと、  
外部電圧から前記外部電圧よりも電圧の小さな内部電圧を形成するための内部電圧発生回路と、  
前記内部電圧を前記ロウデコーダ及び前記カラムデコーダに供給するための第1電源配線と、  
前記内部電圧を前記複数のセンスアンプに供給するための第2電源配線とを備え、

前記内部電圧発生回路は、基準電圧を発生する基準電圧発生回路と、前記基準電圧に基づいて前記内部電圧を出力し前記第1電源配線に出力ノードが接続される第1駆動回路と、前記基準電圧に基づいて前記内部電圧を出力し前記第2電源配線に出力ノードが接続される第2駆動回路とを含むことを特徴とする半導体装置。

【請求項13】請求項12において、前記半導体装置は、ロウアドレスを受け前記ロウデコーダに供給するロウアドレスバッファと、カラムアドレスを受け前記カラムデコーダに供給するカラムアドレスバッファとを更に有し、

前記ロウアドレスバッファ、及び前記カラムアドレスバッファには、前記第1電源配線を介して前記内部電圧が供給されることを特徴とする半導体装置。

【請求項14】請求項12または13において、前記半導体装置は、前記複数のデータ線をプリチャージ電圧にプリチャージするためのプリチャージ回路と、前記プリチャージ回路に供給される前記プリチャージ電圧を発生するプリチャージ電圧発生回路とを更に有し、  
前記プリチャージ電圧発生回路には、前記第2電源配線を介して前記内部電圧が供給されることを特徴とする半導体装置。

【請求項15】請求項12から14のいずれかにおいて、前記半導体装置は、前記第1電源配線と前記第2電源配線の間に結合された接続手段を更に有し、  
前記内部電圧発生回路は、前記基準電圧に基づいて前記内部電圧を発生する第3駆動回路を更に有し、  
前記第3駆動回路は、前記第1及び第2駆動回路が非動作とされる期間に前記第1及び第2電源配線に前記内部

電圧を供給することを特徴とする半導体装置。

【請求項16】請求項15において、前記接続手段は、前記第1及び第2電源配線の間に接続され、ダイオード接続の方向が互いに異なるソースドレイン経路を有する一対のMOSFETを含むことを特徴とする半導体装置。

【請求項17】請求項12から16のいずれかにおいて、前記メモリスセルのメモリアクセスの開始を指示する信号に基づいて、前記第1駆動回路は非動作状態から動作状態となって前記内部電圧を出力し、しかる後に前記第2駆動回路は非動作状態から動作状態となって前記内部電圧を出力することを特徴とする半導体装置。

【請求項18】請求項17において、前記メモリアクセスの開始を指示する信号はロウアドレス・ストロブ信号であることを特徴とする半導体装置。

【請求項19】請求項17または18において、前記第2駆動回路は、前記ワード線を選択を開始する信号により非動作状態から動作状態となることを特徴とする半導体装置。

【請求項20】請求項12から19のいずれかにおいて、前記内部電圧発生回路は、前記基準電圧発生回路の出力する前記基準電圧を受けて第1基準電圧を出力する電圧変換回路を更に有し、前記電圧変換回路は、前記基準電圧を一方の入力端子に受ける第1差動増幅器と、前記第1差動増幅器の出力する信号に基づいてゲートが制御され前記第1基準電圧を出力する第1出力MOSFETと、前記第1出力MOSFETの出力する前記第1基準電圧を所定の電圧比で分圧して前記第1差動増幅器の他方の入力端子に入力する第1帰還手段とを有し、前記第1及び第2駆動回路のそれぞれは、前記第1基準電圧を一方の入力端子に受ける第2差動増幅器と、前記第2差動増幅器の出力する信号に基づいてゲートが制御され前記内部電圧を出力する第2出力MOSFETと、前記第2出力MOSFETの出力に基づく信号を前記第2差動増幅器の他方の入力端子に入力する第2帰還手段とを有することを特徴とする半導体装置。

$$I_{90} = \frac{\beta_{90}}{2} (-V_{TD})^2 \quad \dots\dots (1)$$

$$I_{90} = \frac{\beta_{91}}{2} (V_{99} - V_{TE})^2 \quad \dots\dots (2)$$

$$I_{91} = \frac{\beta_{92}}{2} (V_{99} - V_R - V_{TD})^2 \quad \dots\dots (3)$$

$$I_{91} = \frac{\beta_{93}}{2} (-V_{TD})^2 \quad \dots\dots (4)$$

ここで $V_{99}$ はノード99の電圧、 $V_{TE}$ 、 $V_{TD}$ はそれぞれE MOS、DMOSのしきい値電圧 ( $V_{TE} > 0$ ,  $V_{TD} < 0$ )、 $\beta_{90}$ 、 $\beta_{91}$ 、

#### 【発明の詳細な説明】

#### 【産業上の利用分野】

本発明は、例えば、16Mビット以上の記憶容量をもつ、ダイナミックメモリのような、超大規模集積回路に関する。

#### 【従来の技術】

半導体集積回路内で、外部電源電圧や温度による変動の少ない、安定な基準電圧が必要になることがある。LSIの電圧リミッタについては、たとえば、アイ・エス・エス・シー・シー・ダイジェスト・オブ・テクニカル・ペーパーズ、第272頁から第273頁、1986年2月 (ISSCC Digest of Technical Papers, pp. 272-273, Feb. 1986) などがある。最後の論文において述べられているように、DRAM (ダイナミックランダムアクセスメモリ) 等のメモリLSIにおいては、外部電源電圧よりも低い電圧をLSIチップ上に設けた回路 (電圧リミッタ) で発生し、それを電源として用いることがある。この内部電源電圧は、メモリ動作を安定にするために、外部電源電圧や温度による変動の少ない安定した電圧である必要があり、そのためには安定な基準電圧が必要である。また、アナログ回路を内蔵したLSIでは、参照用の電圧として安定した基準電圧を必要とする場合が多い。

このような要求に応える基準電圧発生回路としては、たとえば米国特許第3975648号や第4100437号などで提案されている回路がある。第7図にその回路図を示す。これは、Hチャネルのエンハンスメント形MOSFET (以下EMOSと略す) とデプリーション形MOSFET (以下DMOSと略す) とのしきい値電圧の差を利用して、安定な電圧を得る回路である。図中、 $Q_{31}$ がEMOS、 $Q_{90}$ 、 $Q_{92}$ 、 $Q_{93}$ がDMOSであり、 $V_{CC}$ 、 $V_{BB}$ はそれぞれ正電圧、負電圧の外部電源である。EMOSとDMOSとのしきい値電圧の差が出力電圧 $V_R$ となる。以下、この回路の動作を説明する。

$Q_{90}$ 、 $Q_{91}$ に流れる電流を $I_{90}$ 、 $Q_{92}$ 、 $Q_{93}$ に流れる電流を $I_{91}$ とする。4つのMOSFETがいずれも飽和領域で動作しているとすると、次の4式が成り立つ。

$\beta_{92}$ 、 $\beta_{93}$ はそれぞれ $Q_{90}$ 、 $Q_{91}$ 、 $Q_{92}$ 、 $Q_{93}$ のコンダクタンス係数である。(1)～(4)式より、

$$V_R = V_{TE} - \left(1 + \frac{\beta_{90}}{\beta_{91}} - \frac{\beta_{93}}{\beta_{92}}\right) V_{TD} \quad \dots\dots (5)$$

ここで $\beta_{90}$ および $\beta_{93}$ が十分に小さいか、あるいは $\beta_{90}/\beta_{91} = \beta_{93}/\beta_{92}$ となるように各MOSFETの定数を定めれば、

$$V_R = V_{TE} - V_{TD} \quad \dots\dots (6)$$

となる。すなわち、出力電圧 $V_R$ としてEMOSとDMOSとのしきい値電圧の差の電圧が得られ、これは外部電源 $V_{CC}$ や $V_{BB}$ の電圧に依存しない安定な電圧である。

近年、半導体装置の高集積化が進むにつれて、半導体素子の微細化に伴う耐圧の低下が問題になってきた。この問題は半導体装置の電源電圧を下げれば解決できるが、これは外部インタフェースの関係で必ずしも好ましくない。そこで、外部から印加する電源電圧は従来のまま（たとえばTTL (transistor transistor logic) コンパチブルの場合は5V）としておき、それよりも低い電圧（たとえば3V）の内部電源を半導体装置内で作るという方法が提案されている。たとえばアイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット、第22巻、第3号、第437頁から第441頁、1987年6月（IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 3, pp. 437-441, June 1987）には、この方法をDRAM（ダイナミックランダムアクセスメモリ）に適用した例、および外部電源から内部電源を発生するための回路（電圧リミッタ回路）について記述されている。

第7図（b）に上記文献に記載されている電圧リミッタ回路の回路図を示す。図中、VLが電圧リミッタ回路であり、基準電圧発生回路VRと駆動回路Bから成る。Zは電圧リミッタの負荷、すなわち電圧リミッタの出力電圧VLを電源として動作する回路である。基準電圧発生回路VRは、外部電源電圧 $V_{CC}$ や温度による変動の少ない安定な電圧VRを発生する。駆動回路Bは、電圧値がVRと同じで駆動能力の大きい電圧VLを発生する回路であり、Q106～Q111から成る差動増幅器DAと出力MOSトランジスタQ112から成る。差動増幅器DAの2個の入力端子のうち、一方にはVRが接続され、他方には出力VLが帰還されているので、この回路は出力VLが入力VRに追随するように動作する。出力VLの駆動能力は、出力MOSトランジスタQ112のチャネル幅によって決まる。したがって、Q112のチャネル幅を負荷の消費電流に見合った大きさに設計しておけば、安定な内部電源電圧VLを負荷に供給することができる。

#### 【発明が解決しようとする課題】

上記した従来技術に基づいて、本発明者らが、具体的な超大規模集積回路（例えば、DRAMでいえば、16Mbit以上のLSI）について、詳細に検討したところ、次に詳説する問題点を発見した。この問題は大きくわけて、基準電圧発生回路に関するものと、電圧リミッタ回路に関する

ものと、これらのテストに関するものである。

まず、上記第7図（a）に示した従来技術の問題点は、EMOSとDMOSという性質の異なるデバイスを用いるため、それらの特性を合せるのが難しいことである。上の説明では簡単のため特性が同じとしたが、実際にはコンダクタンス係数 $\beta$ 、 $\beta$ の温度依存性 $d\beta/dT$ 、しきい値電圧の温度依存性 $dV_T/dT$ 等の特性がかなり異なる。これは以下に述べるような理由により、EMOSとDMOSとのしきい値電圧差 $V_{TE} - V_{TD}$ をかなり大きくしなければならないからである。

EMOSはゲート・ソース間電圧が0Vのときには確実に非導通状態にならなければならない。そのためには、そのしきい値電圧 $V_{TE}$ は、製造ばらつきやサブスレッショルド特性を考慮すると、かなり高く（たとえば $V_{TE} \geq 0.5$  V）設定する必要がある。また、DMOSは式（1）および（4）で示されるように電流源として用いられる場合があるので、電流値のばらつきを抑えるためには、そのしきい値電圧 $V_{TD}$ の絶対値はかなり大きく（たとえば $V_{TD} \leq -1.5$  V）設定しなければならない。したがって $V_{TE} - V_{TD}$ はかなり大きく（たとえば $V_{TE} - V_{TD} \geq 2$  V）なり、これはMOSFETのチャネル領域の不純物プロファイルが大幅に異なることを意味する。これによって、上で述べたようなMOSFETとしての特性の不一致が生ずる。本発明の1つの目的は、上記問題点を解決し、プブリーション形のFETを用いない基準電圧発生回路を提供することにある。

上記第7図（b）に示す従来技術の第1の問題点は、電圧リミッタ回路の動作の安定性について考慮されていないことである。一般に、第7図（b）の駆動回路Bのような帰還のかかった増幅器は、十分な位相余裕があるように設計しなければ、動作が不安定になる。これを第2図（a）、（b）を用いて説明する。帰還をかけないときの増幅器の周波数対利得および周波数対位相の関係が図1のようになっていたとすると、利得が0dBになる周波数において、位相遅れが180°にどれだけ余裕があるかを示す数値が、位相余裕である。位相余裕が負であれば帰還増幅器は発振するし、正であっても余裕が小さい場合、動作が不安定になる。一般に安定に動作するためには位相余裕は45°以上必要であると言われている。そのためには、周波数対利得の特性が折れ曲がる点（ポール）のうち、2番目の点P2（傾きが6dB/octから12dB/octに変わる点）における利得が0dB以下でなければならない。電圧リミッタ回路は、内部回路に安定な内部電源電圧を供給するのがその使命であるから、発振したり動作が不安定になったりしてはならないのはもちろんのことである。

この問題に対する対策としては、位相遅れを補償する

各種の方法が、たとえばポール・アール・グレイ、ロバート・ジー・マイヤー共著、アナリシス・アンド・デザイン・オブ・アナログ・インテグレートッド・サーキット、第2版、ジョン・ウィリー・アンド・サンズ社 (Paul R. Gray and Robert G. Meyer: Analysis and Design of Analog Integrated Circuits, 2nd Ed., John Wiley and Sons Inc.) に示されている。しかし、位相補償を実際の半導体装置の電圧リミッタ回路に適用するには、次のような問題がある。電圧リミッタ回路の負荷となる回路は、実際の半導体装置の内部回路であり、その中には容量、抵抗、インダクタンス、非線形素子、あるいはそれらの組合せなど極めて多種・多様なものが含まれる。しかも、それらの負荷が、時間的に一定ではなく、半導体装置の動作モードによって変化することがある。たとえば、半導体装置が動作状態にあるときに、待機状態にあるときとは、負荷に流れる電流が大きく異なる。これによって、第7図(b)の駆動回路Bの出力段のバイアス条件が変化し、その結果増幅器全体の周波数特性も変化する。電圧リミッタ回路を安定に動作させるためには、このような複雑な性質をもった増幅器が常に安定に動作するようにする必要がある。それには、従来の位相補償法だけでは不十分である。

上記従来技術の第2の問題点は、半導体チップ上の配置や配線について配慮されていないことである。特に、内部電源電圧 $V_L$ で動作する回路が複数個ある場合の、電圧リミッタ回路の配置やその出力電圧 $V_L$ の配線については配慮されていなかった。

本発明者らは、上記従来技術を半導体メモリに適用した場合、以下に述べるような問題が生ずることを発見した。第3図および第4図に上記従来技術を半導体メモリに適用した例を示す。第3図において、1は半導体メモリチップ全体、3は周辺回路、7は電圧リミッタ回路のうちの駆動回路 (電圧リミッタ回路のうちの基準電圧発生回路はここでは記載を省略してある)、14a~14dはハルス発生回路、2a~2dは微細MOSトランジスタで構成されているメモリマツトである。

メモリマツトは微細素子を使用しているため、内部電源電圧 $V_L$ で動作させる。駆動回路7とパルス発生回路14a~14dはこのための回路である。7は内部電源電圧 $V_L$ を発生し、14a~14dは振幅 $V_L$ のパルス $\phi_{p1} \sim \phi_{p4}$ をそれぞれ発生する。この例では、パルス発生回路が14a~14dの4個あるのに対して、駆動回路は7の1個だけである。したがって、この電圧リミッタ回路によって発生した内部電源電圧 $V_L$ を各パルス発生回路に供給するためには、チップの上辺から下辺にわたる長い配線が必要であり、配線の寄生インピーダンスが大きくなって雑音発生の原因となる。このインピーダンスを小さくするために配線幅を太くすると、今度は配線のチップ上の占有面積が増すという問題が生ずる。

第4図は、第3図における配線が長くなるという問題

を避けるために、各パルス発生回路に対応して1個ずつ駆動回路7a, 7b, 7c, 7dを設けた例である。こうすれば、電圧リミッタ回路とパルス発生回路との間の配線長を短くすることができるが、パルス発生回路数と同じ数 (ここでは4個) の電圧リミッタ回路が必要となる。したがって、電圧リミッタ回路のチップ上の占有面積および消費電流が第3図の場合に比べて増加する。パルス発生回路の数がさらに大きくなった場合には、電圧リミッタ回路の占有面積と消費電力の増加は、高集積化、低消費電力化を目的とする半導体装置にとって重大な問題となる。

上記従来技術の第3の問題点は、CMOS回路の動作速度について考慮されていないことである。この問題を、微細加工技術の最先端を駆使して製造されるダイナミックランダムアクセスメモリ (以下DRAMと略す) を用いて説明する。

第5図は、Nウェル形CMOS・DRAMの回路ブロック構成の一部を示す。図中のメモリセルアレー部はP形基板上にある。センスアンプ部はNチャネルおよびPチャネルMOSトランジスタから成り、PチャネルMOSトランジスタの基板に相当するNウェルは電源電圧に接続されている。

アイ・エス・エス・シー・シー、エフ・イー・エム18.6.1984年、第282頁 (ISSCC, FAMI 8.6.1984, p. 282) において論じられているように、MOSトランジスタの寸法を小さくしてDRAMの集積度を上げて行くと、MOSトランジスタのホットキャリアによるストレス耐圧の低下などの問題が生じる。これを防ぐために、集積度向上のために微細化が必要なメモリアレーで使用する電源電圧のみを、上記ストレス耐圧を考慮して下げることが考えられる。これは、たとえばDRAMの周辺回路部 (Xデコーダ、Yデコーダなど) に外部電源電圧 $V_{CC}$ 、センスアンプを含むメモリアレー部に $V_{CC}$ より低い動作電圧 $V_L$  ( $V_L < V_{CC}$ ) を用いることである。すなわち、第5図中のセンスアンプのPチャネルMOSトランジスタのソースにつながる電圧供給線を $V_L$ とし、周辺回路部の電圧供給線を $V_{CC}$ とする。

しかしながら、CMOS・DRAMにおいて、上述の如くメモリアレー部の動作電圧を低くすると、著しく動作速度が低下することが判明した。詳細な解析の結果、その原因がPチャネルMOSトランジスタのバックゲートバイアス効果によるしきい値電圧上昇であることが明らかになった。すなわち、P形基板中のNウェル中に形成されたPチャネルMOSトランジスタのソースの電位が内部電源電圧 $V_L$ 、Nウェル (PチャネルMOSトランジスタのバックゲート) の電位が外部電源電圧 $V_{CC}$ であると、PチャネルMOSトランジスタに $V_{CC} - V_L$ のバックゲートバイアスがかかり、そのしきい値電圧が上昇する。

第6図は、ゲート長 $1.2 \mu\text{m}$ 、ゲート幅 $10 \mu\text{m}$ のPチャネルMOSトランジスタのバックゲート (Nウェル) 電



圧とソース電圧との差（バックゲートバイアス）に対し、しきい値電圧をプロットしたものである。この例では、バックゲートバイアスが2V<sub>TH</sub>加されると、約0.35Vしきい値電圧が上昇する。現在LSIで多く用いられている電源電圧V<sub>CC</sub>に対し、たとえばV<sub>TH</sub>=3Vとすると、0.35Vのしきい値電圧上昇は動作電圧の10%を越えており、それがそのまま速度劣化につながる。

本発明の他の1つの目的は、上記第1の問題点を解決し、動作の安定な電圧リミッタ回路を提供することにある。

本発明の他の目的は、上記第2の問題点を解決し、低雑音、小占有面積、低消費電力の電圧リミッタ回路を提供することにある。

本発明の更に他の目的は、上記第3の問題点を解決し、高速かつ高信頼性のCMOS・LSI (large scale integrated circuit) を提供することにある。

本発明の目的は、上記した他、更に、超大規模集積回路の実際の構成を提供することにある。

本発明の更に他の目的は、超大規模集積回路の実際のレイアウトを提供することにある。

#### 【課題を解決するための手段】

上記目的を達成するため、本発明では、エンハンスメント形でしきい値電圧の異なる2個のFETを用い、それらに一定比の電流を流したときの電位差を取り出して基準電圧とする。

上記第1の問題を解決するため、本発明では、電圧リミッタが多くの種類の負荷を駆動する必要があるときは、電圧リミッタを構成する駆動回路を負荷の種類に応じて複数個に分割し、それぞれに位相補償を施す。負荷の種類や大きさが半導体装置の動作モードによって時間的に変化するときは、各動作モードによって駆動回路や位相補償回路の回路定数を変化させる。あるいは、各動作モードごとに個別の駆動回路を設け、それらの出力を接続して電圧リミッタの出力とする。

上記第2の問題は、電圧リミッタ回路とその出力を電源として用いるパルス発生回路などの負荷回路とを接近して配置し、アドレス信号などの制御信号によって選択／非選択の関係にある複数の負荷回路で1個の電圧リミッタ回路を共有することにより解決される。

上記第3の問題を解決するため、本発明では、CMOS・LSIにおいてウェル中に形成されたMOSトランジスタのバックゲート（ウェル）電圧を、ソース端に供給される動作電圧と等しくする。

#### 【作用】

デブリーション形のFETを用いず、エンハンスメント形でしきい値電圧の異なる2個のFETを用いるので、それらのしきい値電圧の差を、十分小さくできる（原理的にはいくら小さくてもよい）。したがって、前記従来技術に比べて2個のFETの特性を合せることは容易であり、従来よりもさらに安定な基準電圧を得ることができ

る。

電圧リミッタが多くの種類の負荷を駆動する必要があるとき、駆動回路を負荷に応じて複数個に分割し、それぞれに位相補償を施すことによって、負荷の種類に応じた最適な位相補償が可能になる。また、半導体装置の動作モードによって、駆動回路や位相補償回路の回路定数を変化させたり、各動作モードごとに個別の駆動回路を設け、それらの出力を接続して電圧リミッタの出力としたりすることによって、負荷の変動に対応した最適な位相補償が可能になる。それによって動作の安定な電圧リミッタ回路を作ることができる。

電圧リミッタ回路とその出力を電源として用いるパルス発生回路などの負荷回路とを近接して配置することにより、これらの間の配線のインピーダンスを小さくすることができ、発生する雑音のレベルを抑えることができる。また、アドレス信号などの制御信号によって選択／非選択の関係にある複数の負荷回路で1個の電圧リミッタ回路を共有することにより、電圧リミッタ回路の数を減らすことができる。したがって、該回路の占有面積と消費電力とを低減することができる。ここで、電圧リミッタ回路は、負荷回路のうち選択状態にある回路だけを駆動すればよい。したがって、共有することによって電圧リミッタ回路の電流駆動能力を増加させる必要はない。

CMOS・LSIにおいて、ウェル中に形成されたMOSトランジスタは、ウェル電圧を内部電源電圧V<sub>TH</sub>とすることにより、バックゲートバイアス効果によるしきい値電圧の上昇を防ぐことができる。

#### 【実施例】

以下、本発明を実施例を用いて説明する。

この説明は、理解を容易にする為に、第1、第2、第3のグループに分け、この順に説明する。よって、それぞれのグループにおいて実際の超大規模集積回路への応用が説明される。しかし、これは、これらのグループが全く独立のものを意味するものでないことは、当業者であれば、理解できるであろう。すなわち、これらのグループは、それぞれ組み合わせて実施することが技術的に可能である場合には、その組み合わせを当然に示唆しているのである。更に、以下の説明で明らかになるが、第1、第2、及び第3のグループは、互いに排せきしあう技術ではなく、ほとんどの場合、組合せることにより、より相乗的に効果を発揮する技術であることは、当業者であれば、理解しうるであろう。

#### 【第1グループ】

以下、本発明の第1のグループの実施例を図面により説明する。以下の説明では正の基準電圧を発生する場合について説明するが、トランジスタの極性を逆にすることによって負の基準電圧を発生することもできる。

第1図（a）に本発明の第1の実施例の回路図を示す。この回路は、NチャネルMOSFET・Q61～Q63とPチャ

ネルMOSFET・Q64、Q65から成り、V<sub>DD</sub>は正電圧の外部電源である。NチャネルMOSFETのうち、Q62とQ63は標準のしきい値電圧V<sub>TE</sub>を持つエンハンスメント形FET（以下EMOSと略す）であり、Q61はV<sub>TE</sub>よりも高いしきい値電圧V<sub>TEE</sub>を持つエンハンスメント形FET（以下FEEMOSと略す）である。以下、この回路の動作を説明する。

PチャネルMOSFET・Q64とQ65とは、ゲートおよびソー

$$I_1 = \frac{\beta_{EE}}{2} (V_1 - V_{TEE})^2 \quad \dots\dots (7)$$

$$I_1 = \frac{\beta_E}{2} (V_1 - V_R - V_{TE})^2 \quad \dots\dots (8)$$

$$I_2 = \frac{\beta_E}{2} (V_R - V_{TE})^2 \quad \dots\dots (9)$$

ここでβ<sub>EE</sub>はFEEMOS (Q61) のコンダクタンス係数、β<sub>E</sub>はEMOS (Q62、Q63) のコンダクタンス係数、V<sub>1</sub>はノー

ド61の電圧である。(7)～(9)式より、

$$V_1 = 2V_R \quad \dots\dots (10)$$

$$V_R = \frac{V_{TEE} - x V_{TE}}{2 - x} \quad \dots\dots (11)$$

ただし、

$$x = \frac{\alpha \beta_E}{\beta_{EE}} \quad \dots\dots (12)$$

ここでαはカレントミラー回路70のミラー比 (I<sub>1</sub>:I<sub>2</sub> = α:1) である。特にQ64とQ65の定数が同一の場合はα = 1である。このとき、β<sub>EE</sub> = β<sub>E</sub>ならば

$$V_R = V_{TEE} - V_{TE} \quad \dots\dots (13)$$

となる。すなわち、基準電圧V<sub>R</sub>としてFEEMOSとEMOSとのしきい値電圧の差の電圧が得られ、これは外部電源V<sub>DD</sub>の電圧に依存しない安定な電圧である。なお、V<sub>R</sub>のかわりにV<sub>1</sub> (= 2V<sub>R</sub>) を基準電圧として用いてもよい。

この基準電圧発生回路の特徴は、前記の従来技術に比べてMOSFETの特性を合せることが容易なことである。Q

$$\frac{dV_R}{dT} = \frac{1}{2-x} \cdot \frac{dV_{TEE}}{dT} - \frac{x}{2-x} \cdot \frac{dV_{TE}}{dT} \quad \dots\dots (14)$$

したがってdV<sub>TEE</sub>/dT = x · dV<sub>TE</sub>/dTとなるようにミラー比αを設定すれば、基準電圧の温度依存性dV<sub>R</sub>/dT = 0にできる。

なお、本回路に用いるMOSFETのチャネル長は、ある程度長い方が望ましい。たとえば、半導体装置の他の回路でチャネル長1 μm程度のMOSFETが用いられていたとしても、本回路ではそれよりも長い。たとえば5 μm以上のチャネル長のMOSFETを用いるのがよい。(7)～

(9)式では簡単のため、飽和領域のドレイン電流はゲ

スを共有しており、いわゆるカレントミラー回路70を構成している。すなわち、Q64のドレイン電流I<sub>1</sub>とQ65のドレイン電流I<sub>2</sub>との比が一定になるように動作する。その電流比 (ミラー比) は、Q64とQ65との定数比によって定まる。Q61～Q63の定数が等しく、いずれも飽和領域で動作しているとする、次の3式が成り立つ。

61～Q63を飽和領域で動作させるためには、V<sub>TEE</sub> ≥ 2

V<sub>TE</sub>、すなわちV<sub>TEE</sub> - V<sub>TE</sub> ≥ V<sub>TE</sub>であればよい。しきい値電圧差V<sub>TEE</sub> - V<sub>TE</sub>は従来に比べて小さく (たとえば0.7Vで、チャネル領域の不純物プロファイルの相違を従来に比べて小さくできるからである。

本発明による回路ではしきい値電圧の温度依存性dV<sub>T</sub>/dTの差異を小さくできるので、温度に対しても安定な基準電圧を得ることができるが、さらに温度依存性を小さくするにはミラー比αを調整すればよい。次にその方法を説明する。(11)式を温度Tによって微分すると、

ート・ソース間電圧にのみ依存するとしたが、実際にはドレイン・ソース間電圧によっても多少変化する。チャネル長が長いほどこの変化の割合 (ドレインコンダクタンス) が小さく、したがって基準電圧の安定度が良くなる。また、短チャネル効果によるしきい値電圧変動を抑えるためにも、チャネル長は長い方がよい。

第1図 (a)、(b)、(c) の回路では、基準電圧を作るためのMOSFET・Q61～Q63のバックゲートはそれぞれのソースに接続されているが、共通の基板端子に接続

するようにしてもよい。しかし、MOSFETのしきい値電圧はバックゲート電圧によって変化するので、その影響を避けるためにはソースに接続した方がよい。

ここで本発明に用いるカレントミラー回路について補足しておく。カレントミラー回路は、第1図(a)の実施例に用いられている2個のMOSFETから成る回路に限られない。たとえば、第1図(b)または(c)の回路でもよい。これらの回路はそれぞれカスコード形、ウィルソン形という名称で知られている回路である。これらの回路の特徴は、ミラー特性が良いことである。すなわち、第1図(a)のカレントミラー回路では、 $Q_{64}$ と $Q_{65}$ のドレイン・ソース間電圧の変化によってミラー比 $\alpha$ がわずかに変化するが、第1図(b)または第1図(c)

$$I_1 = \frac{\beta_{EE}}{2} (V_1 - V_{TEE})^2 \quad \dots\dots (15)$$

$$I_1 = \frac{\beta_E}{2} (V_1 - V_R - V_{TE})^2 \quad \dots\dots (16)$$

$$I_2 = \frac{V_R}{R_{s1}} \quad \dots\dots (17)$$

これらの式より、ミラー比 $\alpha = 1$ 、 $\beta_{EE} = \beta_E$ として計算すると、

$$V_R = V_{TEE} - V_{TE} \quad \dots\dots (18)$$

となり、基準電圧 $V_R$ としてEEMOSとEMOSとのしきい値電圧の差の電圧が得られる。

本実施例の特徴は、EEMOSとEMOSとのしきい値電圧の差を、第1図(a)の場合よりもさらに小さくできる(原理的にはいくら小さくてもよい)ことである。そのため、MOSFETの特性を合せることがさらに容易である。ただし、通常のMOSプロセスでは、一般に抵抗よりもMOSFETの方が占有面積が小さくできるので、しきい値電圧差がある程度大きくてもよい場合は第1図(a)の実施例の方が望ましい。

第9図(a)に本発明の他の実施例を示す。第1図(a)の実施例との相違点は、電流 $I_1$ と $I_2$ との比を一定に保つ方法にある。第1図(a)の場合は、カレントミラー回路70が直接 $I_1$ と $I_2$ の比を一定に保っていたが、本実施例では2組のカレントミラー回路71および72が間接的にこれを実現する。すなわち、4個のNチャネルMOSFETから成るカレントミラー回路71(これは前述のカスコード形である)が $I_2$ と $I_3$ とを一定比に保つと同時に、2個のPチャネルMOSFETから成るカレントミラー回路72が $I_3$ と $(I_1 + I_2)$ とを一定比に保つ。これにより $I_1$ と $I_2$ との比が一定に保たれる。たとえば、回路71のミラー比を $I_2 : I_3 = 1 : 1$ 、回路72のミラー比を $I_3 : (I_1 + I_2) = 1 : 2$ と

$$I_1 = \frac{\beta_{PE}}{2} (-V_3 - V_{TPE})^2 \quad \dots\dots (19)$$

の回路ではその変化量が少ない。したがって、本発明に適用した場合、ミラー比をより正確に設定でき、より安定な基準電圧を得ることができる。また、カレントミラー回路としては、第1図(d)に示すような、MOSFETのかわりにバイポーラトランジスタを用いた回路でもよい。以下の実施例では、簡単のため、主として第1図(a)のカレントミラー回路を用いた図を掲げてあるが、これらの実施例に第1図(b)～(d)の回路を適用してもよいことは言うまでもない。

第8図に本発明の第2の実施例を示す。この回路は第1図(a)の $Q_{63}$ を抵抗 $R_{61}$ で置き換えたものである。 $Q_{61}$ と $Q_{62}$ の定数が等しく、いずれも飽和領域で動作しているとすると、次の3式が成り立つ。

すれば、 $I_1 : I_2 = 1 : 1$ となる。

本実施例の特徴は、 $Q_{62}$ のドレイン・ソース間電圧がほぼ一定になることである。第1図(a)の実施例では、 $Q_{62}$ のドレイン(ノード62)の電圧はほぼ $V_{DD} - V_{TP}$ ( $V_{TP}$ はPチャネルMOSFETのしきい値電圧)であり、これは外部電源電圧 $V_{DD}$ の変動によって変化する。ドレイン電圧の変化は、ドレインコンダクタンスによるドレイン電流の変化をもたらし、基準電圧 $V_R$ の変動を招く。それに対して本実施例では、 $Q_{62}$ のドレイン電圧は $2V_R$ に保たれているので、 $V_{DD}$ に対してより安定な基準電圧を得ることができる。

第9図(b)の回路も同様な趣旨の実施例である。この回路では、2個のEEMOSから成るカレントミラー回路73が $I_2$ と $I_4$ とを一定比に保ち、2個のPチャネルMOSFETから成るカレントミラー回路72が、 $I_4$ と $(I_1 + I_2)$ とを一定比に保つことにより、 $I_1$ と $I_2$ の比が一定に保たれる。

これまでの実施例は、いずれもNチャネルMOSFETのしきい値電圧差を基準とする回路であったが、PチャネルMOSFETのしきい値電圧差を、基準とすることもできる。第10図(a)、(b)にその例を示す。 $Q_{74}$ は標準のしきい値電圧 $V_{TP}$ を持つPチャネルMOSFETであり、 $Q_{73}$ は $V_{TP}$ よりも低い(負で絶対値が大きい)しきい値電圧 $V_{TPE}$ を持つPチャネルMOSFETである。 $Q_{74}$ と $Q_{73}$ がいずれも飽和領域で動作しているとすると、次の2式が成り立つ。

$$I_2 = \frac{\beta_P}{2} (V_R - V_3 - V_{TP})^2 \quad \dots\dots (20)$$

ここで $V_3$ はノード63の電圧、 $\beta_{PE}$ 、 $\beta_P$ はそれぞれ $Q_{73}$ 、 $Q_{74}$ のコンダクタンス係数である。これらの式より、 $I_1:I_2=1:1$ 、 $\beta_{PE}=\beta_P$ として計算すると、

$$V_R = V_{TP} - V_{TPE} \quad \dots\dots (21)$$

となり、基準電圧 $V_R$ としてPチャネルMOSFETのしきい値電圧差が得られる。

本実施例は、P形の基板上に形成される半導体集積回路であって安定な基準電圧を必要とするものに組み込むのに好適である。前述のように、基準電圧を作るためのMOSFETのバックゲートはそれぞれのソースに接続することが望ましい。しかし、P形の基板上の半導体集積回路では、NチャネルMOSFETは基板上に直接形成され、そのバックゲートはすべて共通の基板端子に接続されるのが普通である。したがって基板電圧が変動すると、NチャネルMOSFETのしきい値電圧が変化する。それに対して、PチャネルMOSFETはN形のウェル内に形成されるので、各MOSFETのバックゲート(ウェル)をソースに接続することによって、基板電圧変動の影響を受けないようにすることができる。たとえば、DRAMでは、P形の基板を用い、チップ上に設けた基板電圧発生回路で発生した電圧(通常-3V程度)を基板に印加するのが普通である。しかしこの基板電圧は、外部電源電圧の変動やメモリの動作によって変動しやすい。このような場合には、本実施例の回路が特に有効である。逆に、N形の基板上に形成される半導体集積回路では、NチャネルMOSFETのしきい値電圧差を基準とする回路の方がよい。

第10図(b)も同様にPチャネルMOSFETのしきい値電圧差を基準とする回路である。これまでの実施例との相違点は、動作点(動作電流)の設定方法にある。これまでの実施例は、基準電圧発生回路内で自動的に動作点が定まる、いわゆるセルフバイアス方式の回路であった。しかし、本回路では、動作点を設定するための回路76が独立に設けられている。動作点設定回路76に流れる電流 $I_5$ は、 $I_1$ として抵抗 $R_{62}$ (MOSFETで置換してもよい)によって定まる。基準電圧発生回路の動作電流 $I_1$ および $I_2$ は、 $I_5$ と2組のカレントミラー回路72および75によって定まる。たとえば、回路72のミラー比を $I_5:(I_1+I_2)=1:2$ 、回路75のミラー比を $I_5:I_2=1:1$ とすれば、 $I_1=I_2=I_5$ となる。

$$V_R' = \frac{R_{21} + R_{22}}{R_{22}} V_R \quad \dots\dots (22)$$

$V_R$ は、前述のようにFETのしきい値電圧差を基準としているため、必ずしもメモリアレーの動作電圧として適当な電圧であるとは限らない。そのためにこの回路によって $V_R$ から $V_R'$ への変換を行っている。たとえば、 $V_R=1V$ 、 $V_R'=3V$ ならば、 $R_{21}:R_{22}=2:1$ とすればよい。また、 $R_{21}$ と $R_{22}$ を可変にして、 $V_R'$ の微調整、いわゆるトリミングができるようにしてもよい。トリミングの方法としては、たとえば前記米国特許に記載されている方法を用いることができる。

2=15となる。

本回路は、動作点設定回路が独立しているので、セルフバイアス方式の回路よりも、デバイスのばらつきによる動作点の変動が少なく、したがって消費電流のばらつきが少ないという特徴がある。

なお、セルフバイアス方式の回路では、起動回路を付けておくことが望ましい。起動回路とは、回路が望ましくない安定点に陥るのを防止するための回路である。たとえば第9図(a)の回路では、望ましい安定点は前述のように正常に $V_R$ を発生している状態にあり、このときノード63の電圧 $V_3=2V_R$ 、ノード64の電圧 $V_4=V_{DD}-V_{TP}$ である。しかし、これ以外にも $I_1=I_2=0$ という安定点があり、このとき $V_3=0$ 、 $V_4=V_{DD}$ 、 $V_R=0$ である。回路がこの安定点に陥るのを防ぐには、たとえば第11図に示すような起動回路77を付ければよい。PチャネルMOSFET・ $Q_{75}$ 、 $Q_{76}$ および抵抗 $R_{63}$ (MOSFETによって置換してもよい)は電流源を構成している。回路が望ましくない安定点にあるときは $V_3=0$ で $I_{EMOS}$ ・ $Q_{77}$ は非常通状態であるから、ノード60が電流源によって充電される。すると $Q_{78}$ が導通状態になってノード63の電圧を上昇させ、回路を望ましくない安定点から脱出させるように働く。回路が望ましい安定点に到達すると $V_3$ が $V_{TPE}$ を越えて $Q_{77}$ が導通状態になり、ノード60の電圧が下がる。すると $Q_{78}$ は非導通状態になり、基準電圧発生回路本体の動作には影響を及ぼさなくなる。

次に、本発明をDRAMに適用した例を示す。第12図は、メモリアレーを外部電源電圧 $V_{CC}$ よりも低い内部電圧 $V_I$ で動作させるために、オンチップ電圧リミッタを設けたDRAMの構成図である。内部電圧 $V_I$ を発生するために、本発明による基準電圧発生回路を用いている。図中、6は本発明による基準電圧発生回路、24は差動アンプ、7aおよび7bはバッファ、30はワード線昇圧回路、2はメモリアレーセルを縦横に配列したメモリアレー、33はセンスアンプ、31はワードドライバである。

差動アンプ24と2個の抵抗 $R_{21}$ 、 $R_{22}$ は、基準電圧発生回路6の出力電圧 $V_R$ から、次式のようにメモリアレーの動作電圧 $V_R'$ を作るための回路である。

バッファ7aおよび7bは、 $V_R'$ の電流駆動能力を高める

(20)

回路が独立しているので、セルりも、デバイスのばらつきによ、したがって消費電流のばらつきがある。

方式の回路では、起動回路を付、起動回路とは、回路が望まし防止するための回路である。た路では、望ましい安定点は前述している状態にあり、このとき

ノード64の電圧 $V_{I1} = V_{DD} - V_{TP}$ 以外にも $I_1 = I_2 = 0$ という安定、 $I_0$ 、 $V_{I1} = V_{DD}$ 、 $V_R = 0$ である。

のを防ぐには、たとえば第11図7を付けければよい。PチャネルMOS管R63 (MOSFETによって置換してとしている。回路が望ましくない $I = 0$ でEEMOS・Q77は非常通状態で電流源によって充電される。するてノード63の電圧を上昇させ、点から脱出させるように働く。到達すると $V_{I3}$ が $V_{TH}$ を越えてQノード60の電圧が下がる。すると、基準電圧発生回路本体の動作なる。

適用した例を示す。第12図は、原電圧 $V_{CC}$ よりも低い内部電圧 $V_{I1}$ 、オンチップ電圧リミッタを設けた内部電圧 $V_{I1}$ を発生するために、本生回路を用いている。図中、6は発生回路、24は差動アンプ、7aおはワード線昇圧回路、2はメモリたメモリアレー、33はセンスアンプである。

の抵抗 $R_{21}$ 、 $R_{22}$ は、基準電圧発生ら、次式のようにメモリアレーの回路である。

(22)

として、 $V_R'$ の微調整、いわゆるトリミングの方法にしてもよい。トリミングの方法に記米国特許に記載されている方法。

は、 $V_R'$ の電流駆動能力を高める

は、MOSFET・Q21～Q24と電、MOSFET・Q26と電流源1とされている。なお、7bの記載を省略してある。このの入力フィードバック、 $V_{I1}$ 、 $V_{I2}$ の電圧が入力電圧 $V_{I1}$ 、 $V_{I2}$ の電圧が得ることがでンスアンプ、メモリセルられる。本実施例では、動作電圧（ここではノーストと呼ばれる手法ード線昇圧回路30を設け昇圧回路30を設けてある電圧 $V_{CC}$ ではなく内部電ード線駆動信号 $\phi X$ は $V_{I2}$ ライバ31は、 $\phi X$ とデコ象WLを駆動する。ンスアンプ33は、PチャネルMOSFET・Q127、Q128である。33は、 $\phi S$ にしてMOSFET・Q136、Q動される。ただし、Qなく内部電源 $V_{I1}$ に接ことにより、データ線は接地電位になる。抑えられる。

他の実施例を紹介す  
4ビットDRAMの回路

なお、レイアウト図回路は記載を省略して2はメモリアレー、31ーダ、33はセンスアンプ、35はデータ線選択、37はカラムデコー出力バッファ、40は路、42はロウアドレバッファ、44はタイミ動信号発生回路、46タ線フリチャージ電である。電圧リミッタ電圧発生回路、6a路、4a、4b、4cは接地外部電源電圧 $V_{CC}$ の生発生回路6は外部安定化された電圧 $V_{I1}$ 、 $V_{I2}$ の電圧を発生する。この例では、 $V_{I1}$ 、 $V_{I2}$ の電圧レベルは、ともに3.3Vである。

本実施例の第1の特徴は、周辺回路にも電圧リミッタ回路を適用したことである。 $V_{I1}$ は45および47に、 $V_{I2}$ は32、37、38、40、41、42、43、44、46、48にそれぞれ供給される。すなわち、データ出力バッファ39以外の回路は内部電源電圧 $V_{I1}$ もしくは $V_{I2}$ で動作する。周辺回路をも外部電源電圧 $V_{CC}$ よりも低い安定化された電圧 $V_{I1}$ で動作させることにより、周辺回路で消費される電力を低減することができ、またその動作を安定化することができる。

本実施例の第2の特徴は、電圧リミッタ回路13を半導体チップの中央に配置したことである。これにより、内部電源電圧 $V_{I1}$ 、 $V_{I2}$ の配線11a、11bのインピーダンスによる電圧降下が小さくなる。そのため、 $V_{I1}$ 、 $V_{I2}$ を電源とする回路の動作が安定かつ高速になる。

本実施例の第3の特徴は、接地配線の方法にある。まず、基準電圧発生回路および電圧変換回路用としては、専用の短い接地配線8を設ける。次に、駆動回路用としては接地配線9aおよび9bを設ける。そして、電圧リミッタ回路用のボンディングパッド4bは、他の回路用のボンディングパッド4a、4cとは別に設ける。これにより、各回路が動作するときに流れる電流によって接地配線1に発生する雑音が、他の回路に悪影響を与えるのを防止できる。特に、基準電圧発生回路および電圧変換回路の接地配線に雑音が生ずると、内部電源電圧 $V_{I1}$ 、 $V_{I2}$ のレベルが変動し、チップ内のほとんどすべての回路に影響を与えるので、この配線8は極力短くし、かつ他の接地配線とは分離しておくことが望ましい。そのためには、ボンディングパッドから別にしておくのが最も望ましい。

が、ボンディングパッドは共通にして配線の取り出し部から分離するという方式でもよい。また、図には示していないが、メモリアレー用の接地配線も、他の配線とは分離しておくことが望ましい。なぜならば、DRAMでは、センスアンプが増幅動作を行うとき、多数のデータ線（その容量は通常合計数 $10\text{pF}$ ）が同時に充放電され、接地配線に大きな雑音が発生するからである。

本実施例の第4の特徴は、電源配線の方法にある。外部電源電圧 $V_{CC}$ 用のボンディングパッドは、メモリアレー用の5aと、周辺回路用の5bとで別に設ける。メモリアレー用の駆動回路7aは5aに、周辺回路用の駆動回路7b、7cは5bにそれぞれ近接して配置する。これにより、電源配線10a、10bでの電圧降下を低減できる。もちろんこの電圧降下分は各駆動回路で吸収するようになっているが、降下分があまりに大きいと吸収しきれなくなり、内部電源電圧 $V_{I1}$ もしくは $V_{I2}$ の低下を招くことがある。これを防ぐためには、本実施例のように、配線10a、10bのインピーダンスを小さくすることが望ましい。周辺回路用とメモリアレー用とでボンディングパッドを別に設けたのは、上述の接地の場合と同様、回路が動作するときに流れる電流によって電源電線1に発生する雑音が、他

の回路に悪影響を与えるのを防止するためである。基準電圧発生回路および電圧変換回路用の電流は、ここでは5bから配線しているが、もちろん別のボンディングパッドを設けてもよい。

なお、図には示していないが、データ出力バッファ用の接地配線および電源配線も、他の接地配線および電源配線とはそれぞれ分離しておくことが望ましい。なぜならば、データ出力バッファが動作するときには外部負荷（通常数pF）が充放電されるため、接地配線および電源配線（データ出力バッファは外部電源電圧 $V_{CC}$ で直接動作する）に大きな雑音が発生するからである。

以下、本実施例の各部について詳細に説明する。

まず、基準電圧発生回路6について述べる。基準電圧発生回路としては、第1図(a)～(d)、第8図～第11図に示した回路を用いることができる。ここで、前述のように、基板電位変動の影響を少なくするためには、各MOSFETのバックゲートはそれぞれのソースに接続することが望ましい。たとえば第10図(a)、(b)の回路では、PチャネルMOSFET・Q73とQ74とのしきい値電圧差が基準電圧 $V_R$ となる。この場合は、Q73とQ74としては、たとえば第16図(a)、(b)に示す構造のPチャネルMOSFETを用いればよい。同図第16図(a)はレイアウト図、第16図(b)は断面図である。図中、101はP形の半導体基板、102はN形ウェル、103はN+拡散層、107はP+拡散層、104はアイソレーション用の $\text{SiO}_2$ 、106はゲートとなる多結晶シリコンもしくは金属、113は層間絶縁膜、108は配線層、115は保護膜、116はコンタクト孔である。ソース拡散層（図の左側のP+拡散層）とNウェルとが、配線層108によって接続されている。この端子が第10図(a)、(b)の回路図のノード66に相当する。この構造は通常のCMOSプロセスで作ることができる。第17図(a)、(b)は、ウェルを二重構造にした例である。図中、111はN形の基板、112はP形のウェルである。このようにウェルを二重構造にして、外側のウェル112の電位を固定（たとえば接地）することにより、基板111とMOSFETのバックゲート102とが静電的にシールドされる。したがって、それらの間の寄生容量を介した干渉雑音を防止でき、基板電位変動の影響をほぼ完全になくすることができる。なお、基板111はたとえば外部電源 $V_{CC}$ に接続すればよい。この構造は通常のCMOSプロセスにウェルを形成する工程を一つ追加するだけで作ることができ、比較的lowコストで大きな効果が得られる。

第1図(a)～(d)、第8図、第9図(a)、(b)、第11図の回路では、NチャネルMOSFET・Q61とQ62とのしきい値電圧差が基準電圧となる。これらの回路を用いる場合は、第16図(a)、(b)または第17図(a)、(b)において導電形を逆にした構造のNチャネルMOSFETを用いればよい。

基準電圧を発生するための一対のMOSFET第10図

(a)、(b)の場合はQ73とQ74、第1図(a)～(d)、第8図、第7図(a)、(b)、第11図の場合はQ61とQ62)のレイアウトパターンは、幾何学的に合同な図形とし、配置する方向も同一にするのが、製造プロセスのばらつきの影響を少なくする意味で望ましい。たとえば、ソース・ドレイン拡散層上のコンタクト孔の配置方向を同一にすることにより、拡散層抵抗の影響を同じにすることができる。また、チャネルの方向を同じにすることにより、結晶面方向による移動度の差の影響をなくすることができる。

次に、電圧変換回路6aについて述べる。電圧変換回路の実現方法を第18図に示す。図中、24は差動増幅器、25はトリミング回路、Q39～Q47およびQ49はPチャネルMOSFET、F1～F7はヒューズである。これに関連する実施例が第35図、第37図、第39図(a)で説明されるので、これを参照すれば、一層明らかになるであろう。この回路は、基準電圧 $V_R$ の定数倍の電圧 $V_R'$ を発生する。また、製造プロセスなどによる $V_R$ のばらつきを補償するための電圧の微調整（トリミング）が可能である。

差動増幅器24の入力端子の一方には、 $V_R$ が入力され、他方には $V_R'$ をMOSFETQ41～Q47およびQ39～Q42によって分割した電圧 $V_R''$ が帰還されている。24の増幅率が十分大きいとすれば、出力電圧 $V_R'$ は次式で与えられる。

$$V_R' = \frac{R_{T1} + R_{T2}}{R_{T2}} \cdot V_R$$

ここで、 $R_{T1}$ はQ41～Q47から成る回路を等価的に抵抗とみなしたときの抵抗値、 $R_{T2}$ はQ39～Q42から成る回路を等価的に抵抗とみなしたときの抵抗値である。ヒューズを切斷することにより $R_{T1}$ 、 $R_{T2}$ が変わるので、 $V_R'$ を調整することができる。 $V_R$ 、 $V_R'$ の標準値は、前述のようにそれぞれ1.1V、3.3Vであるから、ヒューズを切斷しないときは $R_{T1}:R_{T2}=2:1$ としておく。 $V_R > 1.1V$ のときはF1～F6を切斷することにより $R_{T2}$ を大きくし、 $V_R < 1.1V$ のときはF7を切斷することにより $R_{T1}$ を大きくして、 $V_R'$ が標準値から大きくはずれないように調節することができる。

MOSFET・Q49およびQ50はテストモードのときに $V_R' = 0V$ とするためのものである。テストモードのときは信号TEが $V_{CC}$ レベルになり、出力 $V_R'$ は0Vになる。

第18図に示した回路は、米国特許第4100437号に記載されている回路に比べて、通常のMOSプロセスで作った場合の占有面積が小さいという利点がある。すなわち、米国特許に記載されている回路では、出力電圧 $V_R'$ を分割するための素子として、抵抗を用いていたのに対し、第18図の回路ではMOSFETを用いている。回路の消費電流を低減するためには、電圧分割用素子の等価抵抗はかなり大きく（数百k $\Omega$ 程度）なければならない。通常のMOSプロセスでは、抵抗よりもMOSFETの方が、小面積で等

価抵抗の大きい素子が得られる。ただし、MOSFETを用いると、そのしきい値電圧の変動によって $V_R'$ の特性が変動することが懸念されるが、MOSFETのチャネル幅・チャネル長を十分大きくしてばらつきを抑え、バックゲートをソースに接続して基板電位変動の影響を回避し、さらにしきい値電圧のばらつきも見込んでヒューズの切断方法を選択することにより、解決できる。なお、このトリミングに用いるMOSFETは、基板電位変動の影響を少なくするため、第16図(a)、(b)または第17図

(a)、(b)に示した構造にすることが望ましい。

基準電圧 $V_R$ 、 $V_R'$ の端子には、接地との間に大きな容量のキャパシタを付加しておくのが望ましい。これは、 $V_R$ 、 $V_R'$ の高周波に対するインピーダンスを低減させ、高周波雑音をバイパスさせるためである。特に、第15図のように、 $V_R'$ の配線12aがやむを得ず他の配線と交差する場合には、電圧リミッタ回路の動作を安定化する(発振を防止する)意味もある。この理由を第19図を参照して説明する。

駆動回路7a、7bは、それぞれ $V_R'$ から電流駆動能力の大きい電圧 $V_{L1}$ 、 $V_{L2}$ を作る。この $V_{L1}$ 、 $V_{L2}$ 自体、あるいはパルス発生回路14のような $V_{L2}$ を電源として動作する回路の出力(その電圧レベルは $V_{L2}$ )の配線16が $V_R'$ の配線が、 $V_R'$ の配線12aと交差していると、17a~17cに示すように、配線間の寄生容量 $C_{C3}$ を介した帰還ループが生ずる。このループの利得が1(0dB)より大きいと回路は発振し、1より小さくても余裕が少ないと回路動作が不安定になる。これを防止するためには、 $V_R'$ と接地との間に $C_{C1} \sim C_{C3}$ よりも十分大きなキャパシタ $C_{R1}$ 、 $C_{R2}$ を挿入し、ループの利得を十分小さく(たとえば-10dB以下)しておけばよい。

ここで用いるキャパシタの実現方法の一例を第20図(a)、(b)に示す。第20図(a)はレイアウト図、第20図(b)は断面図である。図中、101はP形の半導体基板、102はN形のウェル、103はN+拡散層、104はアイソレーション用の $\text{SiO}_2$ 、105はゲート絶縁膜、106はゲートとなる多結晶シリコンもしくは金属、113は層間絶縁膜、108は配線層、115は保護膜、116はコンタクト孔である。キャパシタは、通常のMOSキャパシタと同じように、ゲート絶縁膜をはきんで、ゲート106と基板表面102aとの間に形成される。キャパシタ絶縁膜として薄いゲート絶縁膜を用いているために、比較的小面積が大きな静電容量が得られるのが特徴である。ただし、通常のMOSキャパシタと異なる点は、ゲート下にNウェルがあるためにしきい値電圧(フラットバンド電圧)が負であることである。したがって、ゲート側が正になるように一方の電圧が印加されるかぎり、その収電容量はほとんど一定であるという特徴がある。このキャパシタを作るのに必要な工程は、ウェル形成、アイソレーション領域形成、ゲート絶縁膜形成、ゲート形成、拡散層形成、および配線の各工程であるが、これらはいずれも通

常のCMOSプロセスに含まれている工程である。したがって、CMOSプロセスで製造される半導体装置ならば、本キャパシタを作るために特に工程を追加する必要はない。

駆動回路7a、7bの実現方法を第21図(a)に示す。図中、21は差動増幅器であり、MOSFET・Q21~Q25から成る。22は出力段であり、MOSFET・Q26、Q27から成る。 $C_L$ は駆動回路の負荷(メモリアレーもしくは周辺回路)を等価的に1つのキャパシタで表したものである。差動増幅器21の2個の入力端子のうち、一方には基準電圧 $V_R'$ が入力され、他方には出力段から $V_{L1}$ ( $V_{L2}$ )が帰還されている。したがって、この回路は $V_{L1}$ ( $V_{L2}$ )が $V_R'$ に追従するように動作する。23は21、22から成る帰還増幅器の動作を安定にするための、いわゆる位相補償回路である。MOSFET・Q28~Q30は、駆動回路が非活性状態のとき出力を高インピーダンスにするため、およびテストモードのときに $V_{L1}$ ( $V_{L2}$ )を $V_{CC}$ レベルにするためである。すなわち、非活性状態のときはテスト信号TEが低レベル、活性化信号 $\phi_1'$ ( $\phi_2'$ )が低レベルであり、Q26のゲート $V_{CC}$ レベルになり、出力 $V_{L1}$ ( $V_{L2}$ )が高インピーダンスになる。また、このときはQ25、Q27が非導通状態になるため、回路の消費電力が低減される。テストモードのときは、TEが $V_{CC}$ レベルになり、Q6のゲートが低レベルになり、 $V_{CC}$ が直接出力される。駆動回路7cの実現方法を第21図(b)に示す。この回路でも、活性化信号 $\phi_3'$ が低レベルのときは、出力は高インピーダンスになる。なお、この回の位相補償回路は7bのそれと兼用できる(7bと7cは並列に接続されているため)ので、ここには特に位相補償回路は設けていない。

前述のように、駆動回路7aは $V_{L1}$ を、7bと7cとは $V_{L2}$ を発生するための回路である。通常状態では、7cは常に活性化され、7aと7bはメモリが動作状態のときのみ活性化される。そのため、活性化信号 $\phi_3'$ は常に $V_{CC}$ レベル、 $\phi_1'$ と $\phi_2'$ とはメモリの動作タイミング(タイミングの詳細は後述に従って $V_{CC}$ レベルになる。テストモードのときは、 $\phi_1'$ 、 $\phi_2'$ 、 $\phi_3'$ はすべて低レベルになり、テスト信号TEが $V_{CC}$ レベルになる。このとき $V_{L1}$ と $V_{L2}$ は共に $V_{CC}$ に等しくなる。これは、外部電源電圧を直接印加して、メモリの動作(たとえばアクセス時間の電源電圧依存性)を調べるのに有効である。電源投入直後は $V_{L1}$ と $V_{L2}$ の立ち上りを早くするために、 $\phi_1'$ 、 $\phi_2'$ 、 $\phi_3'$ をすべて活性化することが望ましい。また、後述のように、 $V_{L2}$ はワード線電圧 $V_{CH}$ および基板電位 $V_{BB}$ を発生するのに用いられる。そこで、 $V_{CH}$ および $V_{BB}$ の電圧レベルが標準値から外れたときに $\phi_2'$ を活性化するようにすると、これらの電圧の安定度をよくすることができる。なお、活性化信号 $\phi_1'$ 、 $\phi_2'$ 、 $\phi_3'$ およびテスト信号TEの高レベルを $V_{L2}$ でなく $V_{CC}$ としているのは、PチャネルMOSFET・Q28、Q29を確実に非導通状態にするためである。

駆動回路7aと7bとは、電流駆動能力が大きくなければ



ならない。メモリが動作状態のとき、7aと7bとは大きな(数百〜数千pF)負荷容量を駆動する必要があるからである。特に7aは、センスアンプが増幅動作をするとき、多数のデータ線を駆動しなければならない。たとえば、データ線1本の容量を0.3pF、同時に動作するセンスアンプの数を8192とすると、合計の容量は2500pFにもなる。そのため、7a、7bの出力MOSFET・Q26としては、たとえばチャンネル幅/チャンネル長が3000 $\mu$ m/1.2 $\mu$ m程度のものを用いる。7cは、メモリが待機状態のときにリーク電流を保証する程度の電流駆動能力があればよいので、その出力MOSFETは100 $\mu$ m/1.2 $\mu$ m程度でよい。

接続回路15は、 $V_{L1}$ と $V_{L2}$ との電位差が大きくなりすぎないようにするためのものである。 $V_{L2}$ と $V_{L1}$ との電位差が大きいと、メモリアレーと周辺回路との間で信号の授受のミスマッチが起こりうるからである。この回路の例を第22図に示す。図中、Q1、Q2、Q5はNチャネルMOSFET、Q4はPチャネルMOSFETである。NチャネルMOSFETのしきい値電圧を $V_{TX}$ とすると、Q1は $V_{L1}-V_{L2}>V_{TX}$ のときに、Q2は $V_{L2}-V_{L1}>V_{TX}$ のときにそれぞれ導通する。したがって、 $V_{L1}$ と $V_{L2}$ との電位差は $V_{TX}$ 以内に保たれる。Q5のゲートには電源投入直後にのみ高レベルになる信号Wが入力されている。これは特に、 $V_{L1}$ と $V_{L2}$ との負荷の時定数が大きく異なる場合に、電位差が生ずるのを防止するのに有効である。Q1、Q2、Q5がいずれも非導通の場合でも、コンダクタンスの比較的小さいMOSFET・Q4は導通している。これは、たとえばメモリが待機状態にある間に、 $V_{L1}=V_{L2}$ とする役割を果たす。

メモリアレー2内には、MOSFETQ121とキャパシタC122から成る、いわゆる1トランジスタ・1キャパシタ形ダイナミックメモセルMC<sub>ij</sub>が、ワード線WL<sub>j</sub>とデータ線DL<sub>j</sub>との交点に配置されている。図にはワード線は2本、データ線は1対しか示していないが、実際には縦横に多数配置されている。キャパシタC122の一端M1(プレート)は直流電源に接続する。その電圧レベルは任意であるが、キャパシタC122の耐圧の観点からは、メモリアレーの動作電圧の1/2、すなわち $V_{L1}/2$ が望ましい。

ワードドライバ31は、ロウデコーダ32の出力を受けて、選択されたワード線を駆動する回路である。本実施例では、ワード線電圧をメモリアレーの動作電圧(ここでは $V_{L1}=3.3$ V)よりも高くする、いわゆるワード線昇圧方式を採用している。この方式の利点は、メモセルの累積電圧を大きくできることである。そのため、ワード線電圧発生回路46で作られた電圧 $V_{CH}$ ( $V_{CH}>V_{L1}$ )を選択されたワード線に供給する。

センスアンプ33は、データ線上の微小信号を増幅するための回路であり、NチャネルMOSFET・Q125、Q126から成るフリップフロップと、PチャネルMOSFETQ127、Q128から成るフリップフロップによって構成されている。センスアンプは $\phi S$ を高レベル、 $\phi S$ を低レベルとしてMOSFETQ136、Q137を導通状態にすることによって、活性

化される。

データ線プリチャージ回路34は、メモセル読出しに先立って各データ線を所定の電圧 $V_p$ に設定するための回路である。プリチャージ信号 $\phi p$ を印加することによって、MOSFETQ129〜Q131が導通状態になり、データ線DL<sub>j</sub>/DL<sub>j</sub>の電圧は $V_p$ に等しくなる。なお、データ線プリチャージ電圧 $V_p$ は任意の電圧でよいが、データ線充放電電流を低減する観点からは、メモリアレーの動作電圧の1/2、すなわち $V_{L1}/2$ にするのが望ましい。

データ線選択回路35は、カラムデコーダ37の出力 $\phi_{YS}$ を受けて、選択されたデータ線対をMOSFET・Q132、Q133を通して入出力線I/O、I/Oに接続する回路である。本実施例では、カラムデコーダ37は端に1個だけ配置し、その出力 $\phi_{YS}$ を複数のデータ線選択回路に分配するという、いわゆる多分割データ線と呼ばれる手法を用いている。これはカラムデコーダの占有面積低減に有効である。

本実施例では、センスアンプ33、データ線プリチャージ回路34、データ線選択回路35を左右のメモリアレーで共有する、いわゆるシェアドセンス、シェアドI/Oと呼ばれる手法を採用している。これは、33、34、35を共有することにより、その占有面積を低減するのに有効である。そのため、メモリアレーと33、34、35との間に、スイッチ信号 $\phi_{SHL}$ および $\phi_{SHR}$ によって制御されるスイッチ回路36Lおよび36Rが設けられている。

メインアンプ38、データ出力バッファ39、データ入力バッファ40、書込み回路41は、データの入出力のための回路である。読出しの場合は、センスアンプ33にラッチされているデータが、入出力線、メインアンプ38、データ出力バッファ39を介して、データ出力端子Doutに出力される。書込みの場合は、データ入力端子Dinから入力されたデータが、データ入力バッファ40、書込み回路41を介して入出力線に設定され、さらにデータ線選択回路35、データ線を通してメモセルに書き込まれる。本実施例では、前述のように、38、40、41は内部電源電圧 $V_{L2}$ で動作させて、消費電力の低減と動作の安定化を図っている。データ出力バッファ39のみは、外部インタフェース(ここではTTLコンパチブル)の都合上、外部電源電圧 $V_{CC}$ (=5V)で動作されている。

ロウアドレスバッファ42、カラムアドレスバッファ43は、外部アドレス信号Aを受けて、それぞれロウデコーダ32、カラムデコーダ37にアドレス信号を供給する回路である。タイミング発生回路44は、外部制御信号/RAS、/CAS、/WEを受けて、メモリの動作に必要なタイミング信号を発生する回路である。これらの回路も、内部電源電圧 $V_{L2}$ で動作させて、消費電力の低減と動作の安定化を図っている。

ワード線電圧発生回路46は、前述のように、ワード線電圧 $V_{CH}$ (ここでは約5V)を発生する回路である(後述のようにこの電圧はスイッチ回路でも使用される)。デ



ータ線プリチャージ電圧発生回路47は、データ線プリチャージ電圧 $V_p$ （ここでは1.65V）を発生する回路である。基板電圧発生回路48は、半導体基板に印加する電圧 $V_{BB}$ （ここでは-2V）を発生する回路である。これらの回路の電源は、 $V_{CC}$ ではなく、安定化された $V_{L1}$ もしくは $V_{L2}$ である。そのため、 $V_{CC}$ が変化しても出力電圧の変動が少ないという利点がある。

次に、このDRAMの読出しの場合の動作を、第23図の動作波形図を参照しながら説明する。

待機状態（/RAS、/CASともに高レベル）のときは、データ線プリチャージ信号 $\phi_p$ およびスイッチ信号 $\phi_{SHL}$ 、 $\phi_{SHR}$ がともに高レベル（ $=V_{L2}$ ）であり、データ線 $DL_j$ 、 $DL_j$ が $V_p$ に設定されている。また、センスアンプ駆動信号 $\phi_{SAN}$ 、 $\phi_{SAP}$ および入出力線 $I/O$ 、 $I/O$ も $V_p$ にプリチャージされている（これらのプリチャージ回路は第13図には示されていない）。この状態では、電圧リミッタの駆動回路活性化信号のうち、 $\phi_3'$ のみが高レベル（ $=V_{CC}$ ）、 $\phi_1'$ 、 $\phi_2'$ は低レベルである。したがって、消費電力の小さい待機時用の駆動回路7cのみが活性化されており、これによって内部電源電圧 $V_{L2}$ のレベルが保持されている。また、接続回路15を通して $V_{L1}$ のレベルも保持されている。電流駆動能力が大きい消費電力も大きい7a、7bは非活性化状態である。こうすることにより、待機時の消費電力を低減することができる。

/RASが低レベルになると、まず周辺回路用の駆動回路活性化信号 $\phi_2'$ が高レベル（ $=V_{CC}$ ）になる。これにより、電流駆動能力の大きい7bが活性化され、 $V_{L2}$ を電源として動作する周辺回路に大電流を供給できるようになる。プリチャージ信号 $\phi_p$ が低レベル（ $=0V$ ）になり、選択されたメモリアレー側のスイッチ信号（第23図の場合は $\phi_{SHL}$ ）は $V_{CH}$ レベルまで昇圧され、反対側のスイッチ信号（第23図の場合は $\phi_{SHR}$ ）は $0V$ となる。 $\phi_{SHL}$ を昇圧するのは、次のような理由による。センスアンプの電圧振幅は後述のように $V_{L1}$ であるが、 $\phi_{SHL}$ のレベルが $V_{L2}$ であると、データ線の電圧振幅が $V_{L2}-V_{TN}$ に低下し、その結果メモリセルの蓄積電圧も $V_{L2}-V_{TN}$ に低下してしまう（ $V_{TN}$ はNチャネルMOSFET・Q123、Q124のしきい値電圧）。 $\phi_{SHL}$ を昇圧することによってこれを防止し、メモリセルの蓄積電圧を確保することができる。

次に、ロウアドレスバッファ42およびロウデコーダ32が動作すると、1本のワード線 $WL_j$ が選択され、その電圧が $V_{CH}$ になる。 $WL_j$ 上の各メモリセルから各データ線に信号電荷が読出され、データ線の電位が変化する。第18図の動作波形は、メモリセルのキャパシタにあらかじめ高電位（ $=V_{L1}$ ）が蓄積されていた場合の例であり、データ線 $DL_j$ の電位がわずかに上昇し、 $DL_j$ との間に電位差を生じている。

センスアンプの動作に先立って、メモリアレー用の駆動回路活性化信号 $\phi_1'$ が高レベル（ $=V_{CC}$ ）になる。これにより、駆動回路7aが活性化され、 $V_{L1}$ を電源とし

て動作するセンスアンプ駆動信号発生回路45に大電流を供給できるようになる。次に、 $\phi_S$ が高レベル（ $=V_{L2}$ ）、 $\phi_S$ が低レベル（ $=0V$ ）になる。これにより、MOSFET・Q136、Q137が導通状態になり、 $\phi_{SAN}$ はQ136を通して接地され、 $\phi_{SAP}$ はQ137を通して $V_{L1}$ に接続される。これによって、データ線 $DL_j$ 、 $DL_j$ 間の微小な電位差が増幅され、一方（第23図の場合は $DL_j$ ）は $V_{L1}$ に、他方（第23図は $\blacktriangle\blacksquare\blacktriangledown$ ）は $0V$ になる。

$\blacktriangle\blacksquare\blacktriangledown$ が低レベルになると、カラムアドレスバッファ43、カラムデコーダ37が動作し、1本のデータ線が選択される。これにより、データ線選択信号 $\phi_{SD}$ が高レベル（ $=V_{L2}$ ）になり、データ線選択回路35を通してデータ線が入出力線に接続される。センスアンプ33にラッチされていたデータは、入出力線、メインアンプ38、データ出力バッファ39を介して、データ出力端子Doutに出力される。

$\blacktriangle\blacksquare\blacktriangledown$ が高レベルに戻ると、まずワード線 $WL_j$ が低レベルになり、 $\phi_S$ 、 $\blacktriangle\blacksquare\blacktriangledown$ 、 $\phi_{SHL}$ 、 $\phi_{SHR}$ 、 $\phi_p$ が元のレベルに復帰する。メモリアレー用の駆動回路活性化信号 $\phi_1'$ はここで低レベル（ $=0V$ ）になり、駆動回路7aが非活性化状態になる。さらに、 $\blacktriangle\blacksquare\blacktriangledown$ が高レベルに戻ると、周辺回路用の駆動回路活性化信号 $\phi_2'$ も低レベル（ $=0V$ ）になり、駆動回路7bが非活性化状態になる。

以上の説明から明らかなように、駆動回路の活性化信号 $\phi_1'$ および $\phi_2'$ は、それぞれ必要なときにのみ高レベルになる。すなわち、 $\phi_1'$ はセンスアンプの動作開始直前から $\blacktriangle\blacksquare\blacktriangledown$ が高レベルに戻るまで、 $\phi_2'$ は $\blacktriangle\blacksquare\blacktriangledown$ または $\blacktriangle\blacksquare\blacktriangledown$ が低レベルにあるときに、それぞれ高レベルになる。これにより、駆動回路7a、7bで消費される電力の低減が実現できる。

以上説明したように、本実施例によれば、デブリーション形のFETを用いず、エンハンスメント形のFET同上のしきい値電圧差を基準とする基準電圧発生回路を作ることができる。エンハンスメント形のFET同上の特性を合せることはデブリーション形とエンハンスメント形のFETの特性を合せることよりも容易であるから、従来よりも安定な基準電圧を得ることができる。したがって、たとえば前述のメモリセルの電圧リミッタに適用した場合、より安定な内部電源電圧を発生することができる。

#### 〔第2グループ〕

以下、図面を参照して本発明の第2のグループの実施例を説明する。以下の説明では、主として本発明をMOS技術による半導体装置に適用した例を示すが、本発明は他の半導体装置、たとえばバイポーラやBiCMOS技術による半導体装置にも適用できる。また、外部電源電圧および内部電源電圧は正である場合について述べるが、負である場合でも、トランジスタの極性を逆にするることによって本発明が適用できる。

まず、第2のグループの基本概念を説明する。

第24図に本実施例を示す。図中、VLが電圧リミッタ回路であり、外部電源電圧VCCから内部電源電圧VL1~VL3（以下、VLi (i=1, 2, 3) として説明する）を発生する。電圧リミッタ回路VLは、基準電圧発生回路VRと駆動回路B1~B3（以下Bi (i=1, 2, 3) として説明する）から成る。基準電圧発生回路VRは、外部電源電圧VCCや温度による変動が少ない安定な電圧VRを発生し、各駆動回路Bi (B1~B3) は、VRをもとに電流駆動能力の大きい電圧VLiを発生する。各駆動回路Biは、帰還増幅器Aiと位相補償回路Ci (i=1, 2, 3) から成る。Z1~Z3は、電圧リミッタ回路VLの負荷となる半導体装置内の回路であり、それぞれVL1~VL3を電源として動作する。φ1~φ3は、それぞれ負荷回路Z1~Z3を制御するタイミング信号である。φ1'~φ3'は、それぞれφ1~φ3に同期したタイミング信号である。

本実施例の第1の特徴は、電圧リミッタ回路の負荷となる内部回路をZ1~Z3の3個の分割し、それに応じて電圧リミッタ回路内の駆動回路もB1~B3の3個に分割し、それぞれに位相補償を施したことである。一般に、半導体装置内の回路には、容量、抵抗、インダクタンス、非線形素子、あるいはそれらの組合せなど極めて多様・多様なものが含まれる。しかも、それらが半導体チップ上に分散して（すなわち分布定数的に）存在する。そのような複雑な負荷を有する帰還増幅器を安定に動作させるための位相補償は極めて難しい。本実施例のように、負荷回路を種類や大きさによって複数個に分割すれば、各負荷回路に適した帰還増幅器および位相補償回路の設計は比較的容易になる。これにより各駆動回路の動作を安定にすることができる。

負荷回路の分割方法としては、例えば下記の方法が考えられる。

- ① 抵抗性負荷と容量性負荷とに分割する方法。
- ② 負荷の大きさ（消費電流）によって分割する方法。
- ③ 回路の動作タイミングによって分割する方法。
- ④ 回路の半導体チップ内の物理的位置によって分割する方法。

物理的位置によって分割した場合は、必要に応じて駆動回路B1~B3を分散配置することが望ましい。

本実施例の第2の特徴は、各駆動回路Biに、各負荷を制御するタイミング信号φiに同期した信号φi'が入力されていることである。一般に、半導体装置内の回路に流れる電流は、動作モードによって大きく変化する。このことは、電源側から見れば、負荷のインピーダンスが変化することを意味する。このような負荷変動に対応できるようにするために、本実施例では、タイミング信号φi'を用いる。φi'によって帰還増幅器Aiや位相補償回路Ciの回路定数を変化させ、常に負荷の動作モードに適した特性にすることができる。これにより、常に駆動回路の動作を安定にすることができる。

なお、本実施例では、負荷回路Z1~Z3の動作電圧VLi

~VL3のレベルはすべて等しいとしている。そのため、基準電圧発生回路は1個だけ設け、その出力VRを駆動回路B1~B3で共通に使用している。負荷回路によって動作電圧が異なる場合は、第25図のように基準電圧発生回路を複数個設ければよい。あるいは基準電圧発生回路は1個だけとしておき、駆動回路B1~B3内に電圧変換機構を設けてもよい。

第26図に本発明の他の実施例を示す。本実施例の特徴は、負荷回路Z1の動作モードに対応して複数（ここでは2個）の駆動回路を設け、それらの出力をスイッチで切り替えていることである。駆動回路B11, B12にはそれぞれ、Z1の動作に同期したタイミング信号φ1'およびその補信号▲■●▼が入力されている。B11, B12の出力VL11, VL12のうち一方が、スイッチSWで選択されて、負荷Z1に供給される。φ1'が高レベル、φ1'が低レベルのときは、B11が活性化、B12が非活性化され、スイッチSWはVL11側に接続される。逆に、φ1'が低レベル、▲■●▼が高レベルのときは、B11が非活性化、B12が活性化され、スイッチSWはVL12側に接続される。すなわち、2個の駆動回路B11, B12のうち一方だけが負荷回路Z1に内部電源電圧VLiを供給するのに使用され、他方は切り離された状態にある。

第24図の実施例では、負荷の変動に対応するために、駆動回路の回路定数を変えるという方法を探っていた。しかし、負荷のインピーダンスが動作モードによって極めて大きく変化し、単なる回路定数の変更だけでは複数の動作モードで安定に動作させることが困難なことがある。このようなときに本実施例の方法が有効である。各駆動回路は1つの動作モード専用設計すればよいからである。たとえば、Z1が動作状態にあるときと待機状態にあるときとで、非常に大きな消費電流の変化があるとすると、この場合は、駆動回路B11はZ1が動作状態にあるときに、B12はZ1が待機状態にあるときにそれぞれ安定に動作するように、帰還増幅器および位相補償回路を設計しておけばよい。

本実施例では、使用されない方の駆動回路は非活性化しているが、これは必ずしも必要ではない。使用されない方の駆動回路はスイッチによって切り離されるからである。しかし、消費電力を低減するためには非活性化状態にしておく方が望ましい。また、スイッチによって駆動回路の出力を切り替えているが、駆動回路が非活性化状態のときにその出力が高インピーダンスになるように設計しておけば、スイッチは不要である。

第24図の実施例では、駆動回路を分割しているために、内部電源電圧VL1~VL3の間に電位の差が生じることが懸念される。内部電源電圧間の電位差が大きくと、負荷回路Z1~Z3相互間に信号の授受がある場合ミスマッチが起こったり、素子が破壊したりすることがある。第27図にこれを防止する方法を示す。簡単のため、負荷および駆動回路を2個に分割した場合について示してあ

る。本実施例では、2個の内部電源電圧同士の2個のNチャネルMOSトランジスタ $Q_1, Q_2$ によって接続している。MOSトランジスタのしきい値電圧を $V_{TH}$ とすると、 $Q_1$ は $V_{L1} - V_{L2} > V_{TH}$ のときに、 $Q_2$ は $V_{L2} - V_{L1} > V_{TH}$ のときにそれぞれ導通する。したがって、 $V_{L1}$ と $V_{L2}$ との間の電位差は $V_{TH}$ 以内に保たれる。

内部電源電圧同士の接続する方法は、第27図に示したものに限られない。第28図(a)～(c)にいくつかの例を示す。最も単純な方法は、同図(a)ないし(c)のように、抵抗あるいは等価的に抵抗とみなせる素子によって接続する方法である。同図(d)は、第27図と同様に、内部電源電圧間の電位差が一定値を越えないようにする方法である。ここでは、MOSトランジスタのかわりにダイオード $D_1, D_2$ を用いている。 $V_{L1}$ と $V_{L2}$ との間の電位差は、ダイオードのオン電圧以内に抑えられる。同図(e)は、電源投入直後にのみ高レベルになる信号 $WK$ を用いて、 $V_{L1}$ と $V_{L2}$ とを接続する方法である。これは特に、負荷 $V_{L1}$ と $V_{L2}$ との立ち上りの時定数が大きく異なる場合に、電位差が生じるのを防止するのに有効である。もちろん、第27図および第28図(a)～(e)のうちのいくつかを組合せた接続方法を採用してもよい。

なお、ここで述べた接続方法は、位相補償を施していない電圧リミッタに対しても有効である。

第24図～第27図では簡単のため、負荷回路を単一のインピーダンス $Z_i$ で表していた。しかし、実際の半導体装置における負荷は第29図に示すように、半導体チップ内に分布している場合が多い。このような場合は、分布した負荷の途中あるいは遠い端の部分から増幅器 $A_1$ へ帰還をかけてもよい。図の例では、 $A_1$ へは分布した負荷 $Z_{11} \sim Z_{19}$ の近端から帰還をかけているが、 $A_2$ へは負荷 $Z_{21} \sim$

$Z_{29}$ の中央部から、 $A_3$ へは負荷 $Z_{31} \sim Z_{39}$ の遠端からそれぞれ帰還をかけている。こうすることによる利点は、配線のインピーダンスによる内部電源電圧の低下分を補償でき、駆動回路から遠い負荷の動作を安定化できることである。分布した負荷の途中あるいは遠端から帰還をかける場合は、位相補償回路の入力も同じ箇所からとることが望ましい。

#### [帰還増幅器と位相補償回路]

次に、本発明に用いるのに好適な帰還増幅器と位相補償回路について説明する。

第30図(a)に帰還増幅器 $A_i$ と位相補償回路 $C_i$ の実施例を示す。図中、21は差動増幅器であり、MOSトランジスタ $Q_{21} \sim Q_{25}$ から成る。22は出力段であり、MOSトランジスタ $Q_{26}, Q_{27}$ から成る。差動増幅器21の2個の入力端子のうち、一方には基準電圧 $V_R$ が入力され、他方には出力段から $V_i$ が帰還されている。 $C_i$ は位相補償回路であり、抵抗 $R_D$ とキャパシタ $C_D$ が直列に接続されている。この回路の帰還をかけないときの小信号等価回路を第30図(b)に示す。簡単のため、負荷が単独の容量 $C_L$ である場合を示してある。ここで、 $g_{m1}, g_{m2}$ はそれぞれ差動増幅器、出力段の伝達コンダクタンス、 $r_1, r_2$ はそれぞれ差動増幅器、出力段の出力抵抗、 $C_G$ は出力段の入力容量( $Q_{26}$ のゲート容量)である。

この回路の周波数特性を第31図(a), (b)を用いて説明する。まず位相補償を施さない場合について述べる。第31図(a)は位相補償回路がない場合の周波数対利得の関係である。図中、aは差動増幅器21の利得 $v_{i1}'/v_i$ 、bは出力段22の利得 $v_o/v_{i1}'$ 、cは総合の利得 $v_o/v_i$ である。a, bはそれぞれ、 $f_1, f_2$ なる周波数で6dB/octの割合で低下し始める。ここで、

$$f_1 = \frac{1}{2\pi C_G r_1}, \quad f_2 = \frac{1}{2\pi C_L r_2}$$

である。この例では $f_1 > f_2$ であるから、総合の利得 $c = v_o/v_i$ は、周波数が $f_2$ を越えると6dB/octで、さらに $f_1$ を越えると12dB/octの割合で低下する。これらの点 $f_2, f_1$ がいわゆるポール周波数である。前述のように、帰還増幅器が安定に動作するためには、12dB/octで低下し始める点(ここでは $f_1$ )における利得が0dB以下でなければならない。図から明らかなように、 $f_1$ と $f_2$ とが比較的近接していると、この条件が満たされないことが多い。第31図(a)では満たされていない。したがって、 $f_1$ と $f_2$

とを十分離すことによって、帰還増幅器を安定化することができる。

ここで位相補償回路 $C_i$ を付加すると、周波数特性が第31図(b)のようになる。すなわち、差動増幅器21の利得は変わらないが、出力段の利得は $P_{21}, Z_2, P_{22}$ の3カ所で折れ曲がった特性になる。 $P_{21}$ と $P_{22}$ はポール、 $Z_2$ は零点と呼ばれる点である。これらの点の周波数は次のとおりである。

$$f_{z1} = \frac{1}{2\pi (C_D r_2 + C_L r_2 C_D R_D)}$$

$$f_{22} = \frac{C_D r_2 + C_L r_2 C_D R_D}{2 \pi C_L C_D r_2 R_D}$$

$$f_2 = \frac{1}{2 \pi C_D R_D}$$

この図から明らかなように、 $f_2$ を差動増幅器のポール周波数 $f_1$ の近傍に設定することによって、すなわち $C_D R_D \approx C_D r_1$ とすることによって、総合の利得の $f_1$ における折れ曲がりがなくなる。その結果、総合の利得は、周波数が $f_2$ を越えると6dB/octで、さらに $f_{22}$ を越えると12dB/octの割合で低下するようになる。ここで、 $C_D = n C_D r_1 / r_2$ 、 $R_D = r_2 / n$ として $n$ を十分大きくすれば、 $f_2$ と $f_{22}$ とを十分離すことができるので、帰還増幅器を安定化することができる。

第32図(a)に帰還増幅器と位相補償回路の他の実施例を示す。この回路では、出力段22の入力と出力との間にキャパシタ $C_F$ を挿入することによって、位相補償を行っている。この回路の帰還をかけないときの小信号等価回路を第32図(b)に、その周波数特性を第33図に示す。この場合は、差動増幅器の方の利得が、 $P_{11} \cdot Z_1 \cdot P_{12}$ の3カ所で折れ曲がった特性になる。この場合も前実施例と同様、 $f_1 \approx f_2$ となるように設定し、 $f_{11}$ と $f_{12}$ とを十分離すことによって、帰還増幅器を安定化することができる。本実施例の特徴は、位相補償用のキャパシタ $C_F$ が増幅段の入力と出力との間に挿入されているため、いわゆるミラー効果により見掛けの静電容量が大きくなることである。したがって、実際の静電容量が比較的小さくても位相補償を行うことができるので、キャパシタの占有面積を低減することができる。

ここで第30図(a)もしくは第32図(a)の位相補償回路を用いるキャパシタについて説明する。これらのキャパシタとしては、静電容量がかなり大きく(通常数百〜数千pF)、しかも電圧依存性の小さいものが必要である。第34図(a)に通常のCMOSプロセスでこれを実現する方法を示す。図中、101はP形の半導体基板、102はN形ウェル、103は $n^+$ 拡散層、104はアイソレーション用の $\text{SiO}_2$ 、105はゲート絶縁膜、106はゲートである。キャパシタは、通常のMOSキャパシタと同じように、ゲート絶縁膜105をはさんで、ゲート106と基板表面102 $n$ との間に形成される。キャパシタ絶縁膜として薄いゲート絶縁膜を用いているために、比較的小面積で大きな静電容量が得られるのが特徴である。ただし、通常のMOSキャパシタと異なる点は、ゲート下にNウェルがあるために、しきい値電圧が負であることである。これを第34図(b)を用いて説明する。横軸はキャパシタに印加する電圧(ゲート側が正)、縦軸は静電容量である。しきい値電圧(フラットバンド電圧)は、静電容量が大きく変化する時の印加電圧 $V_0$ であるが、 $V_0 < 0$ である。した

がって、ゲート側が正になるように一方の電圧が印加されるかぎり、その収電容量はほとんど一定であるという特徴がある。双方向の電圧が印加される場合は、第34図(a)に示したキャパシタを2個使い、第34図(c)のように互いに逆方向に並列接続すればよい。

本実施例のキャパシタを作るのに必要な工程は、ウェル形成、アイソレーション領域形成、ゲート絶縁膜形成、ゲート形成、拡散層形成、および配線の各工程であるが、これらはいずれも通常のCMOSプロセスに含まれている工程である。したがって、CMOSプロセスで作られる半導体装置ならば、本キャパシタを作るために特に工程を追加する必要はない。

また、本発明を適用する半導体装置によっては、積層容量が利用できることがある。たとえば、積層容量をメモリセルのキャパシタとして用いたDRAMがそうである。このような場合は、積層容量を位相補償用キャパシタとして用いてもよい。積層容量を用いたDRAMについては、アイ・イー・イー・イー、ジャーナル・オブ・ソリッド・ステート・サーキット、第15巻、第4号、第661頁から第666頁、1980年8月(IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 3, pp. 661-666, Aug. 1980)に記載されている。

#### [基準電圧発生回路]

次に、本発明による電圧リミッタ回路に用いるのに適した基準電圧発生回路について説明する。なお、ここで述べる基準電圧発生回路は、位相補償を施していない電圧リミッタ回路にももちろん用いることができる。また、グループ1で説明した実施例を応用することができることもいうまでもない。

電圧リミッタの出力電圧 $V_L$ は、基準電圧 $V_R$ を基に作られる。したがって、 $V_R$ の特性によって、 $V_L$ の特性を任意に設定できる。半導体装置において電圧リミッタ回路を使用する際には、 $V_L$ の外部電源電圧 $V_{CC}$ 依存性が特に重要であるから、 $V_R$ の $V_{CC}$ 依存性に特に留意して設計する必要がある。これに関しては、種々の目的に応じた特性例とその発生法が、特願昭56-57143、特願昭56-16869、特願昭57-220083、特願昭60-261213、特願昭63-8372、特願昭63-125742、米国特許第4100437号などに開示されている。これらの回路が本発明に適用可能なことはいうまでもない。

第24図〜第27図の実施例では、基準電圧 $V_R$ を直接駆動回路に入力していた。しかし、基準電圧発生回路で得られる電圧は、必ずしも半導体装置内で用いる内部電源電圧として適当な値であるとは限らない。この場合は電圧の変換が必要になる。また、場合によっては、基準電圧の製造プロセスによるばらつきを補償するために、電圧の微調整、いわゆるトリミングが必要になることがある。電圧の変換およびトリミングの方法としては、前記の米国特許第4100437号に記載されている方法を用いてもよいが、ここでは通常のMOSプロセスで作られる半導

体装置に適した方法を紹介する。

第35図に回路図を示す。図中、DAは差動増幅器、Q<sub>31</sub>～Q<sub>43</sub>はPチャネルMOSトランジスタ、F<sub>1</sub>～F<sub>8</sub>はヒューズである。V<sub>R</sub>が入力電圧（基準電圧発生回路の出力）、V<sub>R</sub>'が出力電圧（駆動回路の入力となる）である。DAの入力端子の一方には、V<sub>R</sub>が入力され、他方にはV<sub>R</sub>'をMOSトランジスタQ<sub>31</sub>～Q<sub>42</sub>によって分割したV<sub>R</sub>'が帰還されている。DAの増幅率が十分大きいとすれば、出力電圧V<sub>R</sub>'は次式で与えられる。

$$V_{R'} = \frac{R_1 + R_2}{R_2} \cdot V_R$$

ここで、R<sub>1</sub>はQ<sub>31</sub>～Q<sub>38</sub>から成る回路を等価的に抵抗とみなしたときの抵抗値、R<sub>2</sub>はQ<sub>39</sub>～Q<sub>42</sub>から成る回路を等価的に抵抗とみなしたときの抵抗値である。ヒューズを切断することによりR<sub>1</sub>、R<sub>2</sub>が変わるので、V<sub>R</sub>'を調整することができる。

具体的なトリミングの方法を第36図を用いて説明する。この図は、入力V<sub>R</sub>と出力V<sub>R</sub>'との関係を示したものである。図中、dがヒューズを全く切断しないときの特性である。ヒューズF<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>を順に切断すると、上記R<sub>1</sub>が大きくなるので、e、b、aで示すようにV<sub>R</sub>'は高くなる。ヒューズF<sub>4</sub>、F<sub>5</sub>、F<sub>6</sub>を順に切断すると、上記R<sub>2</sub>が大きくなるので、c、f、gで示すようにV<sub>R</sub>'は低くなる。したがって、まずV<sub>R</sub>を観測し、第13図を見てV<sub>R</sub>'が最も目標値V<sub>RO'</sub>に近くなるように、ヒューズの切断方法を選択すればよい。われわれの目標は、V<sub>R</sub>が広い範囲でばらついても、V<sub>R</sub>'がある範囲内V<sub>RO'</sub> ± ΔV<sub>R</sub>'に入るようにすることである。そのためには、図中に破線で示したように、あるトリミング方法（たとえばa）を採用したときにV<sub>R</sub>' = V<sub>RO'</sub> + ΔV<sub>R</sub>'になるときに、それと隣接するトリミング方法（たとえばb）を採用するとV<sub>R</sub>' = V<sub>RO'</sub> - ΔV<sub>R</sub>'になるように、回路定数（各MOSトランジスタのチャネル幅／チャネル長）を選んでおけばよい。

第37図にトリミング回路の他の実施例を示す。出力電圧V<sub>R</sub>'を低くするときは、第35図と同様に、ヒューズF<sub>1</sub>、F<sub>5</sub>、F<sub>6</sub>を順に切断すればよい。第35図との相違点は、出力電圧V<sub>R</sub>'を高くする方法にある。この場合は、まずヒューズF<sub>7</sub>を切断し（この時点で入出力特性は第36図のhのようになるように回路定数を選んでおく）、次にF<sub>4</sub>、F<sub>5</sub>、F<sub>6</sub>を順に切断していけばよい。本回路は、第35図の回路よりもヒューズの数が少なく、したがって占有面積を小さくできるという利点がある。

第35図および第37図に示した回路は、前記米国特許に記載されている回路に比べて、通常のMOSプロセスで作った場合の占有面積が小さいという利点がある。すなわち、米国特許に記載されている回路では、出力電圧V<sub>R</sub>'を分割するための素子として、抵抗を用いていたのに対し、第35図および第37図の回路ではMOSトランジスタを用いている。回路の消費電流を低減するためには、電圧

分割素子の等価抵抗はかなり大きく（数百kΩ程度）しなければならない。通常のMOSプロセスでは、抵抗よりもMOSトランジスタの方が、小面積で等価抵抗の大きい素子が得られる。ただし、MOSトランジスタを用いると、そのしきい値電圧の変動によってV<sub>R</sub>'の特性が変動することが懸念されるが、各トランジスタのチャネル幅・チャネル長を十分大きくしてばらつきを抑え、バックゲートをソースに接続して基板電位変動の影響を回避し、さらにしきい値電圧のばらつき分も見込んでヒューズの切断方法を選択することにより、解決できる。

次に、トリミング回路に用いるMOSトランジスタについて、第38図(a)、(b)によって説明する。前述のように、各トランジスタのバックゲートは、基板電位変動の影響を抑えるために、それぞれのソースに接続することが望ましい。たとえば、基板がP形の場合は、第38図(a)に示すようなPチャネルMOSトランジスタを用いればよい。基板がN形の場合は、第38図(a)において導電形をすべて逆にしたNチャネルMOSトランジスタを用いればよい。また、第38図(b)のように、二重のウェル構造にして、外側のウェル112の電位を固定（ここでは接地）することにより、基板電位変動に対してさらに強くすることができる。

次に、トリミング回路に用いるヒューズについて説明する。ヒューズとしては、たとえば多結晶シリコンなど、半導体メモリの欠陥救済に用いられているものと同一ものが利用できる。したがって、欠陥救済回路を有する半導体メモリならば、ヒューズを作るために特に工程を追加する必要はない。ヒューズの切断方法は、レーザ光を用いる方法でも、電気的な方法でもよい。レーザ光を用いる方法には、切断用のトランジスタが不要であるため、占有面積を小さくできるという利点があり、電気的な方法には、高価なレーザ光照射装置を用いなくてもよいという利点がある。

第39図(a)にV<sub>R</sub>からV<sub>R</sub>'への変換回路の他の実施例を示す。第35図あるいは第37図の回路との相違点は、PチャネルMOSトランジスタQ<sub>48</sub>を追加したことである。これにより、出力電圧V<sub>R</sub>'の最大値はV<sub>CC</sub> - V<sub>TP</sub>（V<sub>TP</sub>はPチャネルMOSトランジスタのしきい値電圧）に抑えられる。これを第39図を用いて説明する。この図は、V<sub>R</sub>とV<sub>R</sub>'のV<sub>CC</sub>依存性を示したものである。第35図あるいは第37図の回路では、V<sub>CC</sub>が低いときV<sub>R</sub>' = V<sub>CC</sub>である。しかし第39図(a)の回路では、Q<sub>48</sub>の追加により、V<sub>CC</sub>が低いときV<sub>R</sub>' = V<sub>CC</sub> - V<sub>TP</sub>と、V<sub>TP</sub>の分だけ低くなる。

本実施例の利点は、V<sub>CC</sub>が通常動作状態（たとえば5V）よりもかなり低いとき（たとえば3V）の、内部電源電圧V<sub>I</sub>の電圧安定度がよいことである。これを第39図(c)を用いて説明する。この図は、第30図(a)もしくは第32図(a)の駆動回路において、V<sub>CC</sub>が低いときの出力電圧V<sub>I</sub>と電流I<sub>I</sub>の関係の一例である。V<sub>R</sub>'を発生

するのに第35図あるいは第37図の回路を用いた場合は、 $V_{CC}$ が低いときは $V_L \approx V_R' \approx V_{CC}$ であるから、駆動回路の出力MOSトランジスタ（第30図（a）もしくは第32図（a）のQ26）のドレイン・ソース間電圧がほとんど0であり、電流駆動能力が小さい。そのため、出力電流（負荷の消費電流） $I_L$ が大きくなると、 $V_L$ が低下してしまう、これに対して $V_R'$ を発生するのに第39図（a）の回路を用いた場合は、 $V_L \approx V_R' \approx V_{CC} - V_{TP}$ であるから、駆動回路の出力MOSトランジスタのドレイン・ソース間電圧はほぼ $V_{TP}$ （この例では0.5V）に等しい。したがって、その電流駆動能力は比較的大きく、 $V_L$ の低下量は小さい。すなわち、あらかじめ $V_L$ を少し低く設定しておくことにより、電圧変動量を少なくしている。これにより、 $V_L$ を電源として動作する半導体装置内の回路の、 $V_{CC}$ が低いときの動作がより安定になり、 $V_{CC}$ に対する動作マージンが大きくなる。

なお、第39図（a）の回路のQ48も、前述のトリミング回路のMOSトランジスタと同様、基板電位変動の影響を抑えるために、第38図（a）、（b）に示す構造にしておくのが望ましい。

#### [チップ内配置・配線]

次に、本発明を実際の半導体チップ内に実装する場合の、回路配置方法、ならびに基準電圧 $V_R$ や内部電源電圧 $V_L$ の配線方法について述べる。本発明を適用する半導体装置として、ここではDRAMを例に取り上げるが、もちろん他の半導体装置にも本発明は適用可能である。また、ここで述べる配置・配線方法は、位相補償を施していない電圧リミッタ回路に対しても有効である。

第40図に電圧リミッタ回路をDRAMに適用した場合の、望ましい回路配置および配線の一例を示す。図中、1は半導体チップ、2a、2bは微細MOSトランジスタで構成されているメモリアレー、3a、3b、3cは周辺回路である。4、5はそれぞれ接地 $V_{GND}$ 、外部電源電圧 $V_{CC}$ 用のボンディングパッド、6は基準電圧発生回路、7a、7b、7c、7dは駆動回路である。6と7a～7dとにより電圧リミッタ回路を構成している。7a、7b、7cはそれぞれ、周辺回路3a、3b、3cを駆動する内部電源電圧 $V_{L1}$ 、 $V_{L2}$ 、 $V_{L3}$ を発生する。7dはメモリアレー2a、2bを駆動する内部電源電圧 $V_{L4}$ を発生する。

本実施例の特徴は、基準電圧発生回路6と駆動回路7a～7dとを分離し、基準電圧発生回路は接地電位入力用ボンディングパッドの近傍に、駆動回路はそれぞれの負荷回路の近傍に配置したことである。そのため、接地電位入力用ボンディングパッドから基準電圧発生回路までの接地配線8、および各駆動回路から各負荷回路までの内部電源電圧配線11a～11dが短くなり、それらのインピーダンスが小さくなる。これにより、配線8上の雑音が減少するので、基準電圧発生回路の接地レベルが安定し、安定な基準電圧 $V_R$ が得られる。また、配線11a～11dのインピーダンスによる内部電源電圧 $V_{L1} \sim V_{L4}$ の電圧降下が

減少するので、 $V_{L1} \sim V_{L4}$ のレベルが安定し、負荷回路の動作が安定になる。

本実施例のもう一つの特徴は、接地配線の方法にある。まず、基準電圧発生回路用としては、専用の短い配線8を設ける。他の回路用としては、配線9a～9dを設ける。すなわち、各駆動回路とその負荷回路とは共通の線で配線するが、他の駆動回路や負荷回路とは分離する。この配線方式の利点は、各回路が動作するときの流れる電流によって接地配線8上に発生する雑音が、他の回路に悪影響を与えるのを防止できることである。特に、基準電圧発生回路の接地配線に雑音が生ずると、すべての内部電源電圧 $V_{L1} \sim V_{L4}$ のレベルが変動するので、基準電圧発生回路用の接地配線だけは必ず他の接地配線とは分離しておくことが望ましい。また、メモリアレー用の接地配線も他の接地配線と分離しておくことが望ましい、なぜならば、DRAMではセンスアンプが増幅動作を行うとき、多数のデータ線（その容量は通常数fF）が同時に充放電され、接地配線に大きな雑音が発生するからである。

第41図に回路配置および配線の他の実施例を示す。本実施例では、周辺回路3がチップの中央に集中して配置され、さらに接地および外部電源電圧 $V_{CC}$ 用のボンディングパッド15もチップの中央に配置されている。本実施例でも、基準電圧発生回路6は接地電位入力用ボンディングパッドの近傍に、駆動回路7a、7dはそれぞれの負荷回路の近傍に配置されている。

この実施例の利点は、第41図から明らかなように、配線長が短くなることである。これにより、外部電源電圧 $V_{CC}$ の変動や負荷回路に流れる電流の変動に対して強くなる。すなわち、前実施例では、 $V_{CC}$ 用ボンディングパッドと各駆動回路との間の配線10が長いので、そのインピーダンスが大きく、負荷回路の消費電流によって $V_{CC}$ のレベルが低下する。もちろんこの低下分は各駆動回路で吸収するようになっているが、低下分があまりに大きいと吸収しきれなくなり、内部電源電圧 $V_L$ のレベルの低下を招くことがある。これに対して本実施例では、 $V_{CC}$ 配線10のインピーダンスが小さいので、その分大きな負荷電流を流すことができる。また $V_{CC}$ の低下に対しても強い。

第40図もしくは第41図において、接地配線の雑音を特に問題にしているのは、基準電圧 $V_R$ および内部電源電圧 $V_L$ が接地電位を基準にして発生されるからである。逆に、 $V_R$ 、 $V_L$ が外部電源電圧 $V_{CC}$ を基準として発生される場合は、 $V_{CC}$ 配線の雑音の方が問題になる。この場合は、基準電圧発生回路を $V_{CC}$ 用ボンディングパッドの近傍に配置し、 $V_{CC}$ 用配線を各回路ごとに分離すればよい。

なお、第40図もしくは第41図に示した配置・配線方法において、基準電圧 $V_R$ を基準電圧発生回路から各駆動回路まで配線しているが、この配線12にはシールドを施し



ておくのが望ましい。半導体チップ内の他の回路から雑音を受けて $V_R$ が変動するのを防ぐためである。通常の半導体製造プロセスで実現できるシールド方法の例を次に説明する。

第42図(a)、(b)に、シールドを施した配線の実施例のそれぞれ平面図および断面図を示す。図中、101は半導体基板、1011は $\text{SiO}_2$ 、108は第1の配線層、109a、109b、109cは第2の配線層、113、114は層間絶縁膜、115は保護膜である。109bが基準電圧 $V_R$ の配線である。その周囲の108、109a、109cがシールド用の配線であり、一定電位（ここでは接地）に固定されている。109bの下方に108を設けたことにより基板101との容量結合による雑音を防止でき、左右に109a、109cを設けたことにより隣接する配線（図示せず）との容量結合による雑音を防止できる。第42図(c)および(d)は、シールドを施した配線の他の実施例である。本実施例では、 $V_R$ を第1の配線層108bで配線し、その左右(108a、108c)、下方(106)および上方(109)にそれぞれシールド用配線を設けている。上方にもシールド配線を設けることにより、上方の空間を通した容量結合による雑音をも防止でき、シールドがより効果的になる。

さらに第42図(e)、(f)のように、コンタクト孔116a、116c、およびスルーホール117a、117cを設けてシールド用配線同士を接続すれば、シールドが完全になる。第42図(g)、(h)にシールドを施した配線の他の実施例を示す。本実施例では、多結晶シリコン層106が $V_R$ の配線である。その下方にはウェル112が形成され、P形拡散層107a、107c、およびコンタクト孔116a、116cを介して、上方の第1の配線層108に接続されている。すなわち、106の周囲を112、107a、116a、108、116c、107cで囲むことによりシールドしている。本実施例の利点は、シールドに第2の配線層を使用していないので、これを第42図(g)の109に示すように、他の目的に使用できることである。これは、たとえば $V_R$ の配線と他の配線とが交差する部分に使用するのに有効である。

なお、以上のようなシールドにより、 $V_R$ と接地との間に寄生容量が付くが、これはむしろ好ましい効果をもたらす。この寄生容量は、 $V_R$ 配線の高周波に対するインピーダンスを低減させ、高周波雑音をバイパスさせる、いわゆるデカップリングコンデンサとして働くからである。シールド線だけは、デカップリングコンデンサとして静電容量が不足の場合は、別にキャパシタを付加してももちろんさしつかえない。

上の例では、シールド線を固定する電位は接地電位としているが、安定な電位ならば必ずしも接地電位でなくともよい。しかし、接地電位にするのが、最も簡単であり、しかも上に述べたように寄生容量がデカップリングコンデンサとして働くので望ましい。特に、基準電圧発生回路用の接地配線（第40図、第41図に示す8の部分）に接続するのが、他の回路の動作によって発生する雑音

を避ける意味でよい。前述のように $V_R$ が $V_{CC}$ を基準にして発生される場合は、シールド線は $V_{CC}$ に固定する方がよい。

第43図に回路配置および配線の他の実施例を示す。図中、1は半導体メモリチップ、3は周辺回路、7a、7b、7cはそれぞれ内部電源電圧 $V_{V1}$ を発生する駆動回路、14a、14b、14c、14dは駆動回路の出力を電源として用いて電圧振幅 $V_{V1}$ のバース $\phi_{P1}$ 、 $\phi_{P2}$ 、 $\phi_{P3}$ 、 $\phi_{P4}$ を発生するバース発生回路、2a、2b、2c、2dはそれぞれ $\phi_{P1}$ 、 $\phi_{P2}$ 、 $\phi_{P3}$ 、 $\phi_{P4}$ によって動作する微細MOSトランジスタを用いたメモリアレーである。なお、ここでは基準電圧発生回路は、記載を省略してある。第44図にこれらの回路の動作タイミングを示す。

本実施例の半導体メモリチップ1には単一の外部電源電圧 $V_{VCC}$ （たとえば5V）が印加されている。駆動回路7a、7b、7cからは $V_{VCC}$ は降下させた内部電源電圧 $V_{V1}$ （たとえば3V）が出力され、バース発生回路14a、14b、14c、14dにそれぞれ入力されている。そして、バース発生回路には第44図に示すタイミングバース $\phi_T$ と、アドレス信号 $a_i$ と逆相の $\blacktriangle\blacksquare\blacktriangledown$ が入力されている。

周辺回路3は、外部アドレス信号 $A_i$ を受けて内部アドレス信号 $a_i$ および $\blacktriangle\blacksquare\blacktriangledown$ を、外部制御信号（ここではロウアドレスストローブ信号 $\blacktriangle\blacksquare\blacktriangledown$ 、カラムアドレスストローブ $\blacktriangle\blacksquare\blacktriangledown$ 、および書き込みエネーブル信号 $\blacktriangle\blacksquare\blacktriangledown$ )を受けて内部タイミングバース $\phi_T$ を発生する。周辺回路は、チップの集積度にはあまり影響しないのであえて微細素子を用いる必要がないこと、および注飛インタフェースの都合により、外部電源電圧 $V_{VCC}$ で直接動作させているが、もちろん内部電源電圧で動作させてもよい。

メモリはアドレスによって選択されたアレーのみが動作する。この例では、 $a_i = "0"$ （ $a_j = "1"$ ）のときアレー2aと2cが選択（2bと2dは非選択）、 $a_i = "1"$ （ $a_j = "0"$ ）のときアレー2bと2dが選択（2aと2cは非選択）の状態となる。そのために、選択されたアレー用のバースのみが出力される。すなわち、第44図に示すように、 $a_i = "0"$ のときは、バース発生回路14aと14cがタイミングバース $\phi_T$ により $\phi_{P1}$ 、 $\phi_{P3}$ を出力してアレー2aと2cを、逆に $a_i = "1"$ のときは、バース発生回路14bと14dがタイミングバース $\phi_T$ により $\phi_{P2}$ 、 $\phi_{P4}$ を出力してアレー2bと2dを動作させる。

本実施例の特徴は、各駆動回路を各バース発生回路に近接して配置し、しかもバース発生回路14bと14cとで駆動回路7bを共有していることである。そのため、第3図に比べて配線が短くなり、配線のインピーダンスが小さくなり、これによって発生する雑音のレベルを抑えることができる。また、第4図に比べて、駆動回路数が1個減り、これによってチップ占有面積と消費電力の低減が実現できる。しかも、バース発生回路14bと14cとは同時に動作しないので、駆動回路7bは1個のバース発生回

路のみを駆動できればよく、電流駆動能力を2倍にする必要はない。

パルス発生回路14a~14dは、たとえば第15図(a)、(b)に示した回路で実現できる。第15図(a)において、51は、PチャネルMOSトランジスタQ51、Q52とNチャネルMOSトランジスタQ53、Q54から成る2入力NAND回路である。この回路の電源は $V_{CC}$ であり、入力はタイミングパルスとアドレス信号 $a_j$ （または▲■▼）である。52は、PチャネルMOSトランジスタQ55とNチャネルMOSトランジスタQ56から成るインバータであり、その電源は $V_L$ である。 $a_j$ が“1”（電位 $V_{CC}$ ）のときに $\phi_T$ が出力されると、内部電源 $V_L$ の振幅のパルス $\phi_P$ が出力される。なお、ここではNAND回路は外部電源電圧 $V_{CC}$ で動作させているが、内部電源電圧 $V_L$ で動作させてもよい。

第16図は、第13図の実施例に比べて、駆動回路の数をさらに1個減らした例である。アドレス信号 $a_j$ 、▲■▼、タイミングパルス $\phi_T$ 、およびパルス $\phi_{P1} \sim \phi_{P4}$ は、第13図で説明したものと同一である。

本実施例では、パルス発生回路14aと14bとで駆動回路7aを、14cと14dとで7bをそれぞれ共有している。そのため、第13図の実施例に比べて、駆動回路数が1個減り、これによるチップ面積と消費電力を低減できる。ここで、第14図に示すように、14aと14b、14cと14dとはそれぞれ同時には動作しない。したがって、駆動回路7aと7bとはそれぞれ1個のパルス発生回路のみを駆動できればよく、駆動能力を2倍にする必要はない。

第17図は、メモリアレーが8個の分割されている場合に本発明を適用した実施例である。図中、1は半導体チップ、3は周辺回路、2a~2hはメモリアレー、7a、7bは駆動回路、14a~14hはパルス発生回路である。本実施例では、8個のアレーのうち2個がアドレス信号 $a_j$ 、 $a_j$ によって選択され、選択されたアレーのみが動作する。すなわち、 $a_j a_j = "00"$ のときは2aと2c、 $a_j a_j = "01"$ のときは2bと2f、 $a_j a_j = "10"$ のときは2cと2g、 $a_j a_j = "11"$ のときは2dと2hがそれぞれ選択される。そのため、選択されたアレー用のパルス $\phi_{Pk}$  ( $k=1 \sim 8$ )のみが出力される。すなわち、第18図に示すように、アドレス信号 $a_j a_j = "00"$ のときはパルス $\phi_{P1}$ と $\phi_{P5}$ 、 $a_j a_j = "01"$ のときはパルス $\phi_{P2}$ と $\phi_{P6}$ 、 $a_j a_j = "10"$ のときはパルス $\phi_{P3}$ と $\phi_{P7}$ 、 $a_j a_j = "11"$ のときはパルス $\phi_{P4}$ と $\phi_{P8}$ がそれぞれ出力される。これらのパルス $\phi_{Pk}$  ( $k=1 \sim 8$ )は、 $\phi_T$ のタイミングで出力されるパルスであり、その振幅は内部電源電圧 $V_L$ である。

本実施例では、メモリアレーを動作させるための8個のパルス発生回路で2個の駆動回路7a、7bを共有している。このようにすることにより、駆動回路数を大幅に減らすことができ、占有面積と消費電力の低減を実現することができる。

#### [DRAMへの適用例]

最後に、本発明をDRAMに適用した例について述べる。

第19図は本発明を適用したDRAMの構成図である。図中、201は電源電圧( $V_{CC}$ )供給用ボンディングパッドで、外部電源に接続されている。202は差動増幅器、203は内部降圧された電源電圧( $V_L$ )の供給線、204はPチャネルMOSセンスアンプの起動MOSトランジスタ、205はNチャネルMOSセンスアンプの起動MOSトランジスタ、206はPチャネルMOSセンスアンプ、207はNチャネルMOSセンスアンプ、208はメモリセル、209はPチャネルMOSセンスアンプのN形ウェル部、210はセルアレー部とセンスアンプ部を含むメモリブロック、211はXデコーダ、212はYデコーダ、213はショート・プリチャージ信号線、214は電源線 $V_L/2$ である。電源電圧 $V_{CC}$ は、Xデコーダ、Yデコーダ、ゲート保護ならびに信号発生回路などの周辺回路で使う。内部降圧された電源電圧 $V_L$ は、本実施例の場合、センスアンプ起動MOSトランジスタ204につながるPチャネルMOSトランジスタのバックゲート(ウェル)とYデコーダの一部に使っている。

センスアンプのようないわゆるCMOS回路の場合、P形の基板を用いると、PチャネルMOSトランジスタはN形のウェル内に形成されるのが普通である。この場合、第50図の断面図に示すように、Nウェル(PチャネルMOSトランジスタのバックゲート)の電位は外部電源電圧 $V_{CC}$ ではなく、そのソースに供給される動作電圧(この場合は $V_L$ )とするのが望ましい。この理由を次に述べる。

たとえば $V_{CC}=5V$ 、 $V_L=3V$ とすると、データ線プリチャージレベルが1.5Vであるから、センスアンプ起動前、PチャネルMOSトランジスタには1.5Vのバックゲートバイアスがかかり、起動後は0Vになる。第6図を参照すると、センスアンプ起動前のしきい値電圧(絶対値)は約0.86V、起動後は約0.57Vである。もしNウェル電圧を $V_{CC}(=5V)$ としていると、各々1.1V、0.92Vとなる。これは $V_L$ とした場合に比較してあまりに大きい。第51図は、上記DRAMのセンス系の動作速度を、PチャネルMOSトランジスタのしきい値電圧に対してプロットした図である。図からわかるように、0.1Vのしきい値電圧上昇が約2nsの遅延に相当するので、この場合Nウェル電圧を $V_L(=3V)$ とすることで約5ns以上の高速化が実現できることがわかる。超高集積化時代のCMOSLSIは、より動作電圧を下げ、基板(ウェル)濃度を上げる(バックゲートバイアス効果が大きくなる)傾向があるので、上記本発明の効果はさらに重要になる。

ここで、Nウェル電圧をPチャネルMOSトランジスタに供給される内部電源電圧 $V_L$ と等しくするにあたり、容量結合などによるNウェル電圧の変動が懸念される。第19図に示した実施例は、データ線は $V_L/2$ にプリチャージされるので、PチャネルMOSトランジスタが動作するとき、ドレイン電圧が上昇するものと下降するものとが対を成し、雑音はきわめて小さい。したがって、Nウェル電圧の変動によるラッチアップ等の問題は発生しない。

以上、センスアンプを例にとりて説明したが、同様の



手法は、他のCMOS回路に対しても適用できる。またDRAMに限らず、2種類以上の異なる動作電圧を有するCMOS・LSIならば適用可能である。また、本発明の実施例において、半導体の導電形、電位関係をすべて逆にしても、本発明が成立することは明らかである。

以上説明したように、本発明によれば、電圧リミッタ回路が多く種類の負荷を駆動する必要があり、また負荷の種類や大きさが動作モードによって変動する場合でも、負荷の種類や動作モードに応じた最適な位相補償が可能になり、電圧リミッタの動作を安定化できる。

また、内部電圧を電源として用いる負荷回路が半導体チップ内に複数個ある場合、各駆動回路から各負荷回路までの配線を短くすることができるので、雑音レベルを低く抑えることができる。また、駆動回路の駆動能力を増加させることなく、回路数を減らすことができるので、占有面積および消費電力を低減することができる。

また、内部降圧された動作電圧を用いるCMOS回路において、ウェル内に形成されているトランジスタのバックゲート（ウェル）の電圧を降圧された電圧と等しくすることにより、回路の高速化が可能になり、超高集積化LSIの高信頼性、高速性を併せて実現することができる。

### 〔第3グループ〕

上記技術の問題点は、内部電圧を外部から検査する方法について考慮されていないことである。たとえば電圧リミッタを有するメモリLSIの場合、電圧リミッタで発生した内部電圧値が設計値から外れていると、内部回路の動作マージンが狭くなったり、誤動作したりする。しかし、メモリLSIをメモリテスト等で検査する場合、内部電圧値を知ることができないと、上記のような問題は容易に確かめることができない。

内部電圧端子にパッドを設けて、そのパッドにメモリテストを接続すれば、外部から内部電圧値を知ることができる。しかしこの方法には次のような問題点がある。

第1に、パッドからメモリテストまでの配線が受ける雑音によって、測定値に誤差が生ずる。

第2に、メモリテストの入力ラインインピーダンスによって電圧値が変化することがある。

第3に、メモリテストはアナログ電圧を測定することになるので、デジタル信号を取扱うよりも測定に時間がかかる。

本実施例の目的は、上記の問題点を解決し、内部電圧を外部からメモリテスト等で検査することが容易な半導体装置を提供することにある。

上記目的を達成するため、本実施例では、外部から指定された電圧と内部電圧とを比較する手段と、その比較結果を出力する手段を設ける。

外部から指定された電圧と内部電圧とを比較し、その比較結果を出力することにより、外部に取り出す信号はデジタル信号になる。したがって、前述の内部電圧端子から直接取り出す場合に比べて、雑音や測定器の入力イ

ンピーダンスの影響を受けにくく、またメモリテスト等で検査することが容易になる。

以下、図面を参照して本実施例を説明する。以下の説明では、本発明をDRAMに適用した例を示すが、本発明はDRAMに限らず他の半導体装置にも適用できる。

第52図に本実施例を示す。これは電圧リミッタを有するDRAMである。図中、1は半導体チップ、2はDRAMのメモリアレー、3はDRAMの周辺回路、4は電圧リミッタ、5は比較回路、6はマルチプレクサおよび出力バッファ、8はテストエネーブル信号発生回路である。電圧リミッタ4は、外部電源 $V_{CC}$ をもとに、 $V_{CC}$ よりも低い内部電源 $V_L$ を発生する。DRAMの周辺回路3は外部電源 $V_{CC}$ によって動作するが、メモリアレー2は内部電源 $V_L$ によって動作する。

本実施例において内部電源 $V_L$ の電圧を検査する方法について説明する。

比較回路5は、 $V_L$ と比較用電圧 $V_S$ とを比較する。本実施例では、 $V_S$ を入力する端子は、DRAMのデータ端子 $D_{in}$ と兼用であるが、専用の端子でもよいし、他の端子、たとえばアドレス端子の一つと兼用してもよい。比較回路の出力 $C$ は、マルチプレクサおよび出力バッファ6を介して出力される。本実施例では、 $C$ を出力する端子は、DRAMのデータ出力端子 $D_{out}$ と兼用であるが、専用の端子でもよい。

比較出力 $C$ は、 $V_L > V_S$ のときは高レベル、 $V_L < V_S$ のときは低レベルになる。したがって、 $D_{in}$ に印加する比較用電圧 $V_S$ を変えて $D_{out}$ を観測することにより、内部電圧 $V_L$ を知ることができる。

たとえば、外部電源 $V_{CC}$ が、

$$V_{CCmin} \leq V_{CC} \leq V_{CCmax} \quad \dots (1)$$

の範囲で、 $V_L$ が $V_{Lmin}$ よりも高く $V_{Lmax}$ よりも低くしなければならぬとする。これを検査するには、まず、 $D_{in}$ に $V_{Lmin}$ を印加して $V_{CC}$ を $V_{CCmin}$ から $V_{CCmax}$ まで変化させ、 $D_{out}$ が常に高レベルであることを確認する。次に、 $D_{in}$ に $V_{Lmax}$ を印加して $V_{CC}$ を $V_{CCmin}$ から $V_{CCmax}$ まで変化させ、 $D_{out}$ が常に低レベルであることを確認すればよい。

このように $D_{out}$ 端子から出力される信号が高レベルか低レベルかというデジタル信号であることが、本発明の特徴である。したがって、アナログ電圧を直接出力する場合に比べて、雑音やメモリテストの入力ラインインピーダンスによる誤差を避けることができ、メモリテストで検査することが容易になる。

テストエネーブル信号 $TE$ は、 $V_L$ を検査するモードであるか、通常の読出し／書込みモードであるかを示す信号である。この信号は、比較回路5をエネーブルとするた、およびマルチプレクサおよび出力バッファ6を切り替えるために用いられる。 $TE$ を入力するための専用の端子を設けてもよいが、本実施例では、 $TE$ を発生するための回路8を設けてある。この回路は、DRAMのロウアドレスストロブ信号（▲■▼）、カラムアドレススト

ローブ信号(▲■■■■▼)、および書込みエネーブル信号(▲■■■■▼)が印加されるタイミングの組合せによってTEを発生する。

これを第53図(a)、(b)を用いて説明する。

DRAMでは、通常の読出し／書込みモードのときは、第53図(a)のように、▲■■■■▼は▲■■■■▼よりも先に印加される。逆に第53図(b)のように、▲■■■■▼が▲■■■■▼よりも先に印加され、しかもそのときの▲■■■■▼が低レベルであったとき、回路8は、 $V_L$ 検査モードの指定であると判断し、TEを発生する。なお、▲■■■■▼、▲■■■■▼▲■■■■▼のタイミングの組合せによって特殊な動作モードを指定する方法については、たとえばアイ・エス・エス・シー・シー、ダイジェスト・オブ・テクニカル・ペーパーズ、第18頁から第19頁、1987年2月(ISSCC Digest of Technical Papers, pp. 18-19, Feb. 1987)あるいは、アイ・エス・エス・シー・シー、ダイジェスト・オブ・テクニカル・ペーパーズ、第286頁から第287頁、1987年2月(ISSCC Digest of Technical Papers, pp. 286-287, Feb. 1987)において論じられている。

ここで $V_L$ の検査に用いる専用の信号( $V_S$ 、C、およびTE)の入出力方法について補足しておく。

これらの信号の専用の端子を設けてもよいことは、上に述べたとおりである。しかし、第1図の実施例では、 $V_S$ の入力端子は $D_{in}$ と、Cの出力端子は $D_{out}$ とそれぞれ兼用であり、TEは▲■■■■▼、▲■■■■▼、▲■■■■▼のタイミングの組合せにより作られる。この方式の利点は、DRAM本来の端子のみを用いて $V_L$ を検査できることである。したがって、ウェハ状態で検査だけでなく、パッケージに組立てた後の検査も可能になる。

第54図に比較回路5の一例を示す。

第54図において、20は $V_L$ および $V_S$ を入力とし、ノード27を出力とする差動増幅器であり、NチャネルMOSトランジスタ21、22、23とPチャネルMOSトランジスタ24、25から成る。30はノード27を入力としCを出力とするインバータであり、NチャネルMOSトランジスタ31とPチャネルMOSトランジスタ32から成る。 $V_L$ が $V_S$ よりも高いときはノード27が低レベル、出力Cが高レベルになる。 $V_L$ が $V_S$ よりも低いときはノード27が高レベル、出力Cが低レベルになる。

比較回路としては単独の差動増幅器でもよいが、本実施例のように差動増幅器の出力をさらにインバータで増幅するようにした方が、出力Cのレベルを確実に高レベル( $\approx V_{CC}$ )、低レベル( $\approx 0V$ )にできるので望ましい。

本回路では、MOSトランジスタ21のゲートにTEが入力されているので、 $V_L$ 検査モードのとき(TEが高レベルのとき)以外は差動増幅器に電流が流れない。これにより通常動作時の消費電力の増加を防止できる。また、通常動作時はPチャネルMOSトランジスタ26が導通している

ので、ノード27は高レベルに固定されている。

次に、本発明に用いるマルチプレクサおよび出力バッファ6の実現方法について説明する。

第55図はマルチプレクサおよび出力バッファの一例である。第55図中、11、42、および49～52はインバータ、13～48はNANDゲート、53および54はNチャネルMOSトランジスタである。この回路は、DRAMのデータ出力 $d_{out}$ と比較回路の出力Cのうちの一方を選択して、出力端子 $D_{out}$ に出力する回路である。いずれを選択するかは、TE(前述のテストエネーブル信号)およびOE(DRAMの出力エネーブル信号)によって決定される。TEが高レベル、OEが低レベルのとき( $V_L$ 検査モードのとき)はCが、TEが低レベル、OEが高レベルのとき(読出しモードのとき)は $d_{out}$ が、それぞれ選択・出力される。TE、OEがともに低レベルのとき(書込みモードもしくは待機状態のとき)は出力端子 $D_{out}$ は高インピーダンスである。

第56図に本発明の他の実施例を示す。前実施例との相違点は、比較用電圧として $V_{S1}$ 、 $V_{S2}$ の2個が入力されており、比較回路も5-1、5-2の2個が設けられていることである。

比較回路5-1は内部電圧 $V_L$ と $V_{S1}$ とを、5-2は $V_L$ と $V_{S2}$ とをそれぞれ比較する。比較出力 $C_1$ は、 $V_L > V_{S1}$ のときは高レベル、 $V_L < V_{S1}$ のときは低レベルになる。比較出力 $C_2$ は、 $V_L > V_{S2}$ のときは低レベル、 $V_L < V_{S2}$ のときは高レベルになる。外部に出力される信号Cは、 $C_1$ と $C_2$ をANDゲート9によって論理積をとった結果である。

本実施例は、データ入力端子と出力端子とが兼用で、4ビット同時に読出し／書込みされる、いわゆる $\times 4$ ビット構成のDRAMである。そこで、比較用電圧 $V_{S1}$ と $V_{S2}$ との入力、および比較結果Cの出力には、4個のデータ入出力端子 $D_0 \sim D_3$ のうちの3個を利用している。前実施例のような $\times 1$ ビット構成DRAMの場合は、たとえばCの出力には $D_{out}$ を、 $V_{S1}$ 、 $V_{S2}$ の入力には $D_{in}$ またはアドレス端子のうちの2個を利用すればよい。

本実施例の利点は、 $V_L$ がある範囲内にあるか否かが一度の検査でわかることである。たとえば、 $V_L$ が $V_{Lmin}$ よりも高く $V_{Lmax}$ よりも低くなければならないとする。これを検査するには、 $V_{S1} = V_{Lmin}$ 、 $V_{S2} = V_{Lmax}$ とすればよい。 $V_{Lmin} < V_L < V_{Lmax}$ のときに限り、Cは高レベルになる。

第57図に本発明の他の実施例を示す。

前述の2実施例との相違点は、比較用電圧 $V_S$ をデジタル信号で指定し、それをDA変換することにより比較用電圧 $V_S$ をDACで作っていることである。本実施例では、デジタル信号 $S_0 \sim S_3$ の入力端子はアドレス端子 $A_i$ と兼用である。

入力されたデジタル信号は、DAコンバータ10によってアナログ電圧 $V_S$ に変換される。DAコンバータに与える基準電圧は、 $V_{CC}$ でもよいが、専用の電圧 $V_R$ の方が望ましい。内部電圧 $V_L$ の $V_{CC}$ 依存性を測定できるからである。

本実施例では $V_R$ の入力端子は、DRAMのデータ入力端子 $D_{in}$ と兼用である。

本実施例の特徴は、出力だけでなく入力もデジタル信号であることである。そのため、前実施例に比べてメモリテストによるテストがさらに容易になる。なお、本実施例では比較用電圧は $V_S$ 1個だけであるが、前実施例のように2個にしてもよいことはもちろんである。

次に、本実施例に用いるDAコンバータについて説明す

$$V_S = \frac{V_R}{16} (8S_3 + 4S_2 + 2S_1 + 1S_0) \quad \dots (2)$$

で与えられる。ただし、インバータ62の出力インピーダンスは抵抗 $R$ 、 $2R$ に比べて十分小さいと仮定している。

第58図(b)にDAコンバータの他の実施例を示す、図

$$V_i = \frac{1}{16} V_R \quad (i = 0 \sim 15) \quad \dots (3)$$

のうち、1つを選択して出力 $V_S$ とする。この選択は、入力信号 $S_0 \sim S_3$ をデコーダ71でデコードした信号 $T_0 \sim T_5$ によって行われる。この回路の特徴は、負荷のインピーダンス(第57図の比較回路5の入力インピーダンス)が十分大きければ(第54図の回路は、この条件を満たしている)、出力電圧 $V_S$ はMOSトランジスタ72のオン抵抗の影響を受けないことである。

なお、第58図(a)、(b)はいずれも4ビットのDA変換器である。しかし、ビット数は、どの程度正確に内部電圧 $V_L$ を設定する必要があるかにより増減してもよいことは言うまでもない。

第59図に本発明の更に他の実施例を示す。本実施例の特徴は、内部電圧 $V_L$ をAD変換して出力することである。そのため、デジタル信号 $S_0 \sim S_3$ を記憶するためのレジスタ80が設けられている。以下、本実施例の動作を第60図のタイミング図に従って説明する。

▲■■■■▼、▲■■■■▼、▲■■■■▼のタイミングの組合せによりテストエネーブル信号TEを発生することは前実施例と同様である。この時点でレジスタ80の内容は、最上位ビット $S_3$ のみが“1”、他は“0”という状態に設定される。このとき、比較用電圧 $V_S$ は $V_R/2$ に等しい。この $V_S$ と内部電圧 $V_L$ とを比較した結果、 $C=1$ すなわち $V_L > V_R/2$ ならば、最上位ビット $S_3$ はそのまま“1”に保たれ、 $C=0$ すなわち $V_L < V_R/2$ ならば $S_3$ は“0”にリセットされる。

次にレジスタの $S_2$ が“1”にセットされる。このとき、比較用電圧 $V_S$ は $V_R/4$ または $3V_R/4$ である。この $V_S$ と内部

る。

第58図(a)にDAコンバータの一例を示す。図中、61および62はインバータ、 $R$ および $2R$ は抵抗である。ここでインバータ62の電源は基準電圧 $V_R$ である。端子 $S_0 \sim S_3$ からデジタル信号が入力されると、インバータ62の出力電圧は入力信号に応じて $V_R$ または $0V$ になる。出力 $V_S$ の電圧は、

中、71はデコーダ、72はMOSトランジスタ、 $R$ は抵抗である。この回路は、基準電圧 $V_R$ を抵抗分割した電圧

電圧 $V_L$ とを比較した結果、 $C=1$ ならば $S_2$ はそのまま“1”に保たれ、 $C=0$ ならば $S_2$ は“0”にリセットされる。以下同様にして、 $S_1$ 、 $S_0$ が順次に決定される。

以上の動作はクロックに同期して行われる。本実施例では▲■■■■▼をクロックとして用いている。すなわち、まず▲■■■■▼を▲■■■■▼よりも先に低レベルにして $V_L$ 検査モードを指定する。これによりTEが高レベルになる。次に、▲■■■■▼は位レベルに保ったまま、▲■■■■▼を上げ下げすることにより、上記のAD変換が行われる。この間、出力端子 $D_{out}$ には各回の比較結果が順に現れるので、 $D_{out}$ を観測することにより、AD変換の結果を知ることができる。

#### 【発明の効果】

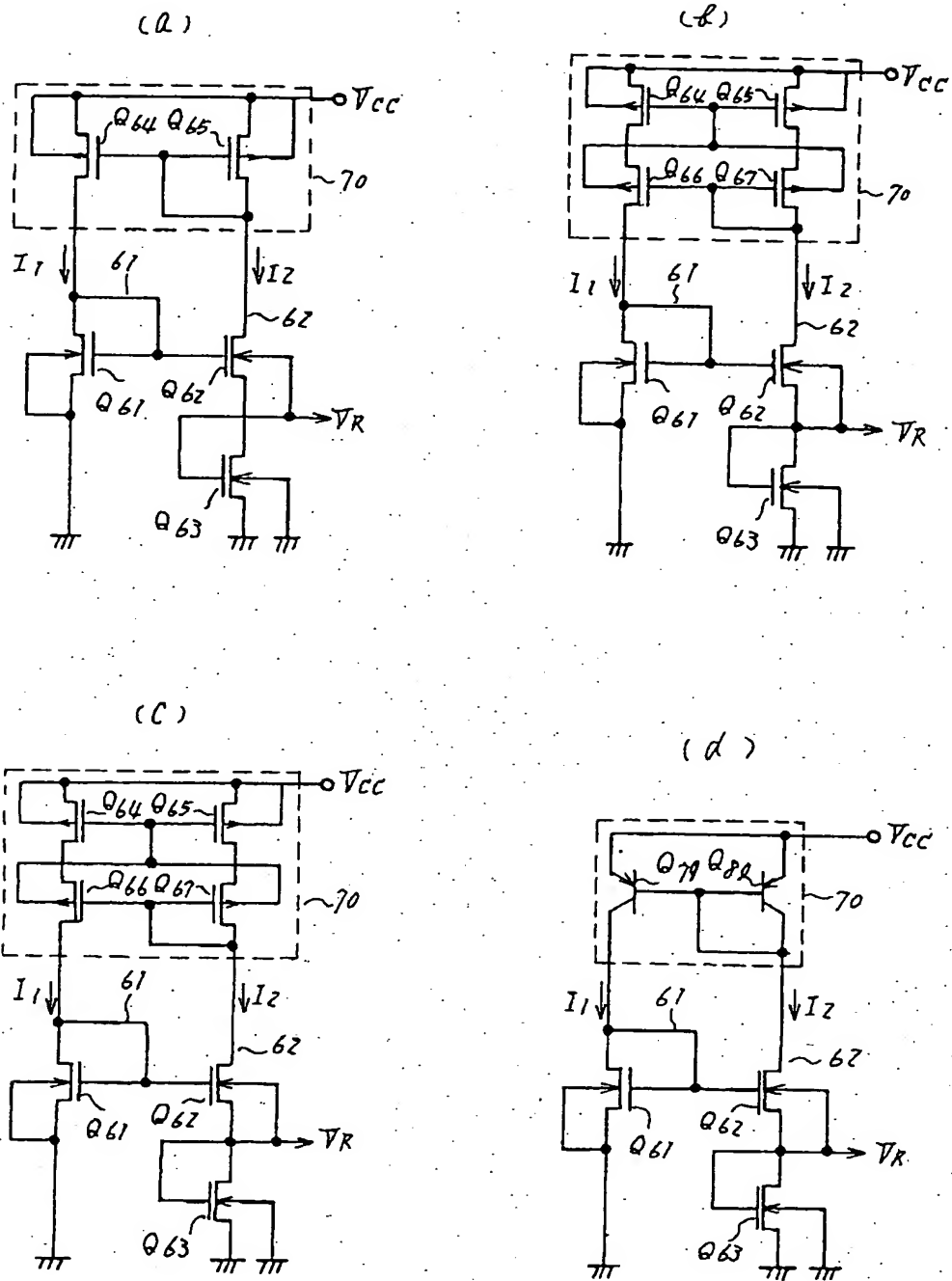
本発明によれば、内部電圧の検査結果がデジタル信号で外部に出力されるので、内部電圧を外部からメモリスタなどで検査することが容易になる。

以上本発明によれば、超大規模半導体集積回路を実際に設けることができ、かつ、これらの特性、安定動作等も達成することができる。

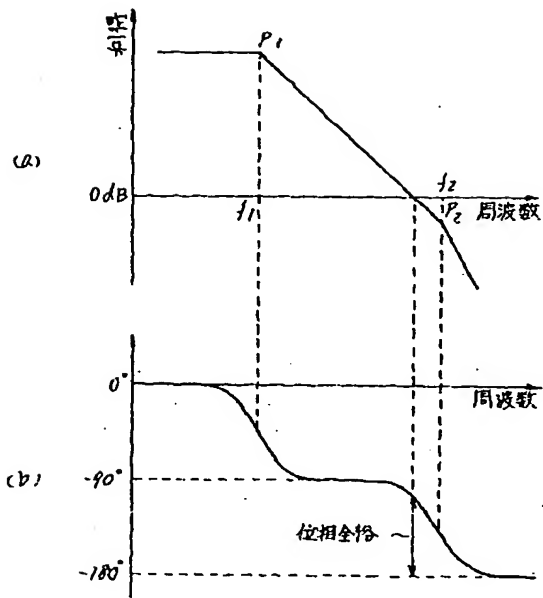
#### 【図面の簡単な説明】

第7図(a)、(b)は従来技術を説明する回路図、第2図乃至第6図は、本発明者らが発見した問題点を説明する図、第1図、第8図乃至第23図は、本発明の第1のグループの実施例を説明する図、第24図乃至第51図は、本発明の第2のグループの実施例を説明する図、第52図乃至第60図は、本発明の第3のグループの実施例を説明する図。

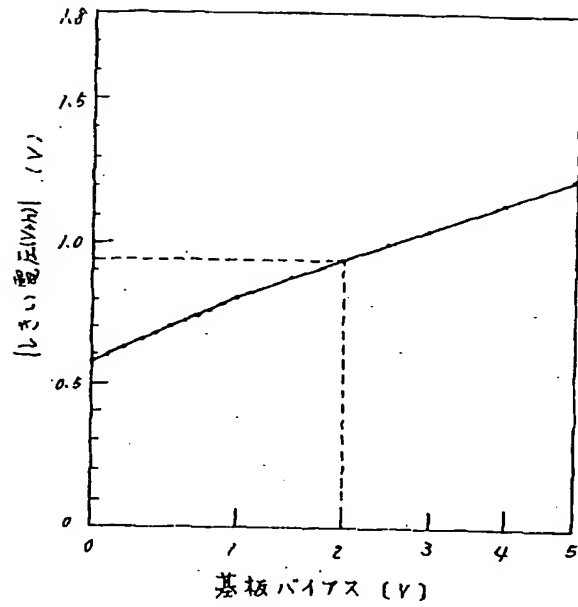
【第1図】



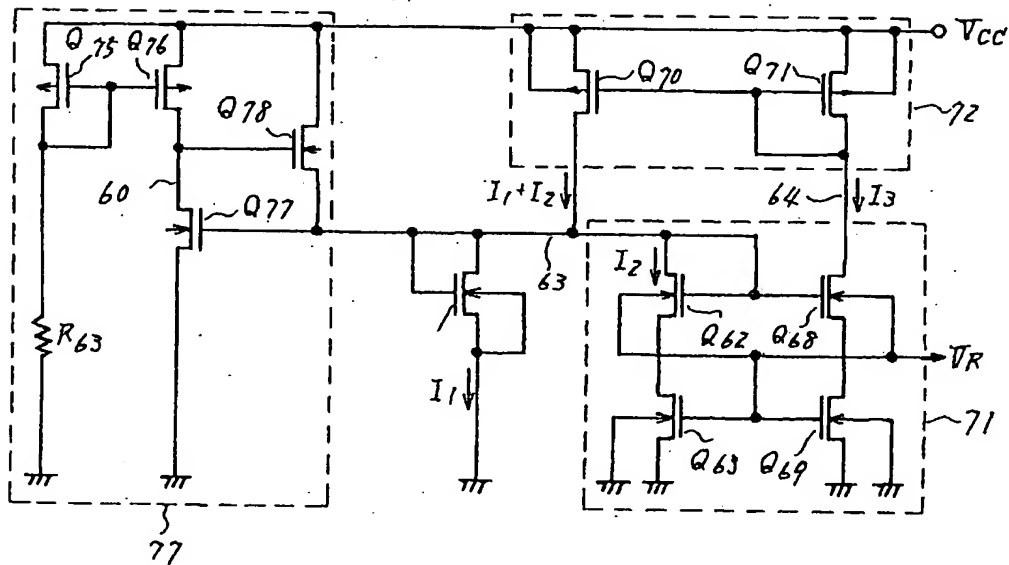
【第2図】



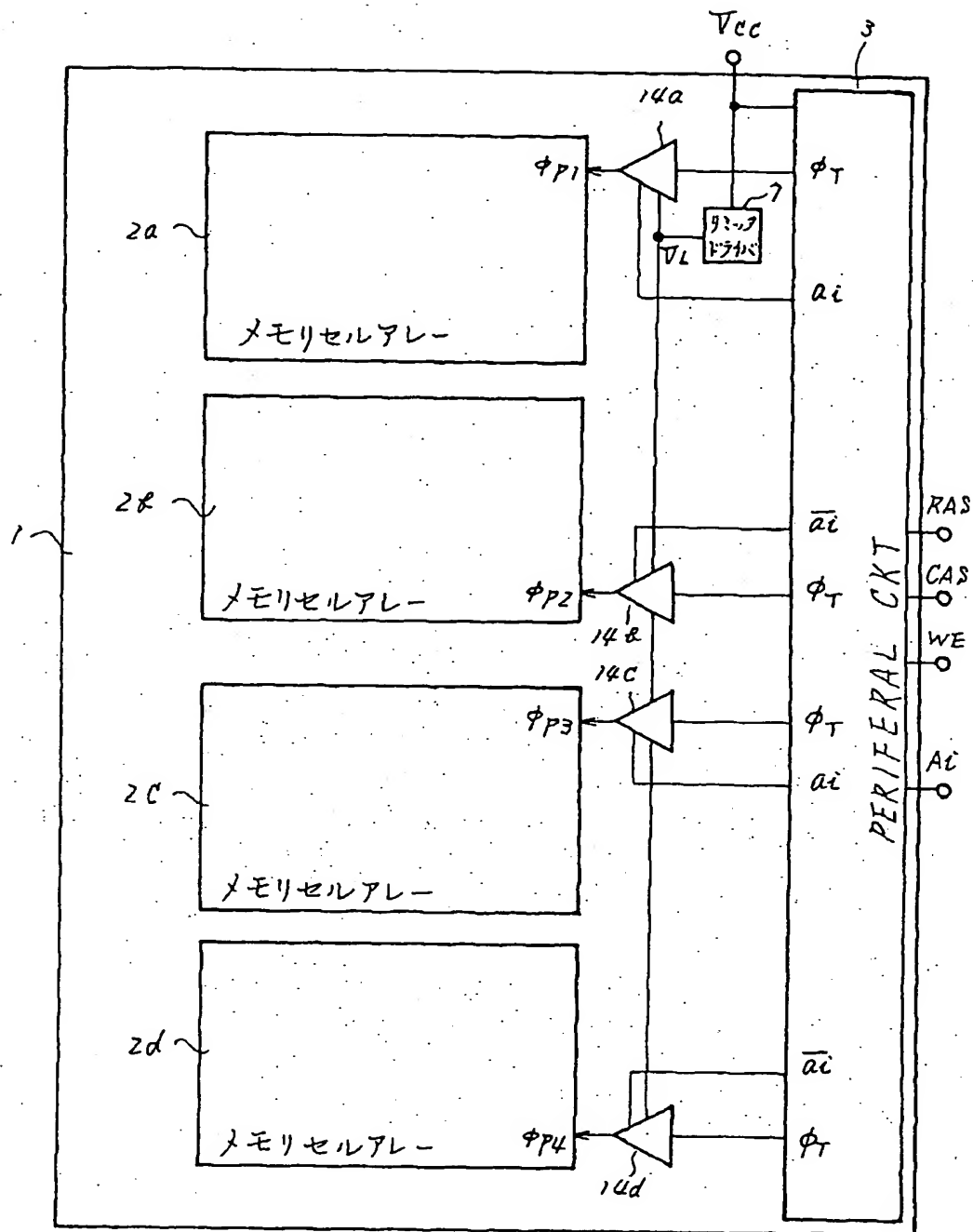
【第6図】



【第11図】

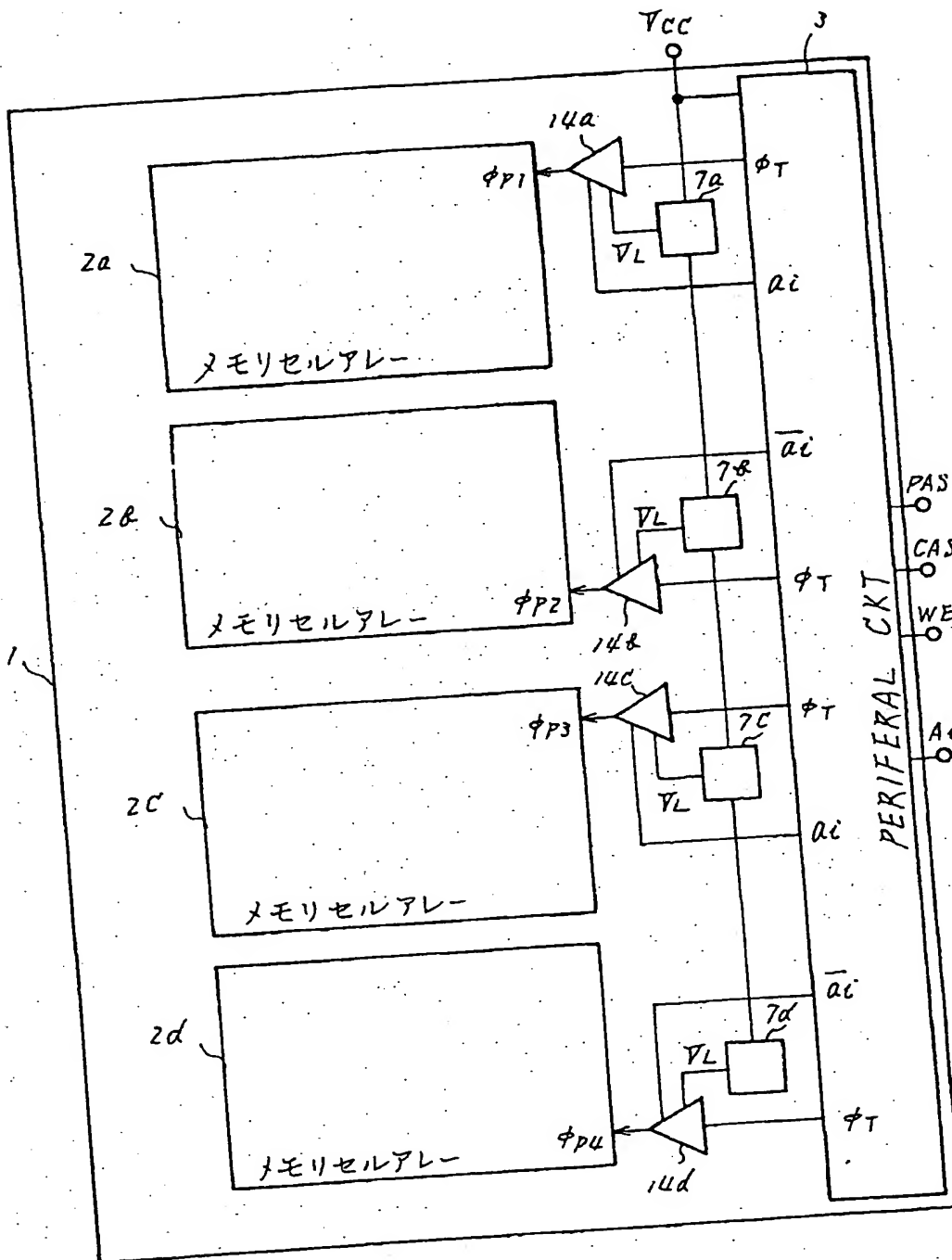


【第3図】

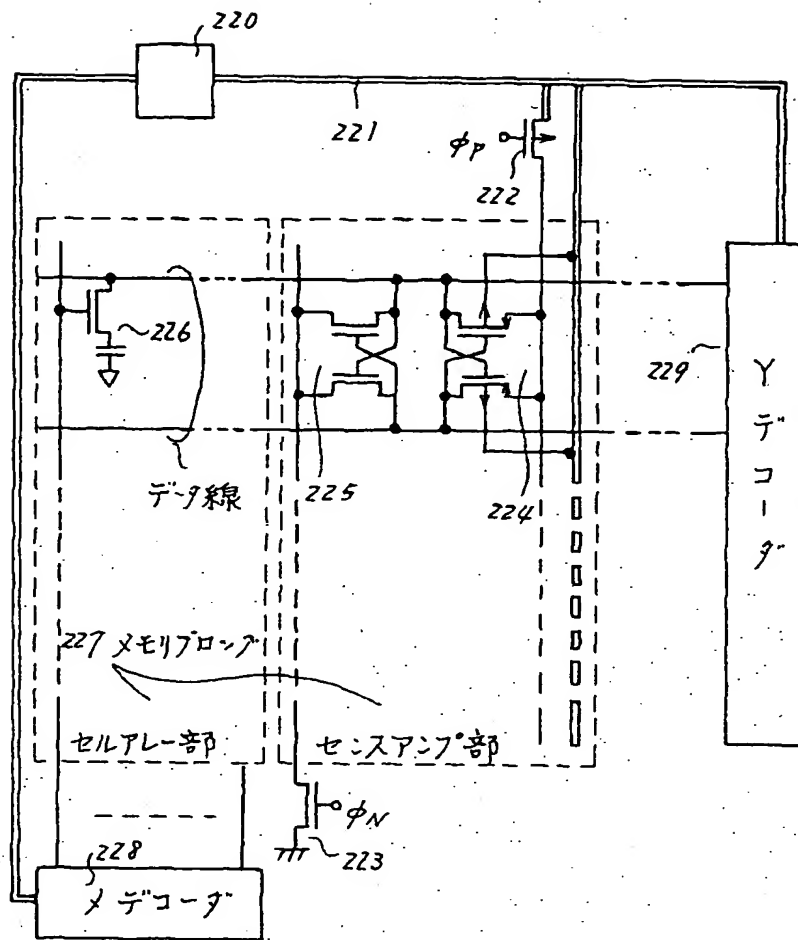


(28)

【第4図】

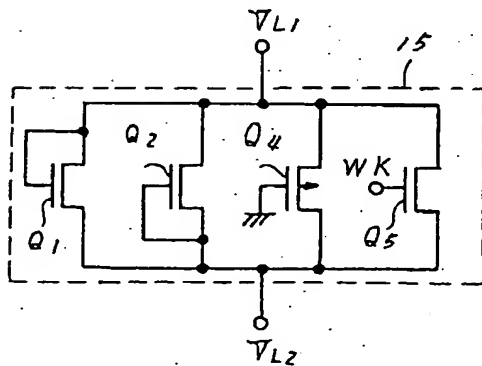


【第5図】

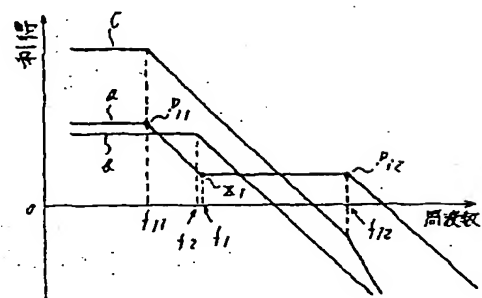


- |                     |                |
|---------------------|----------------|
| 220 電源バッド           | 225 NMOSセンスアンプ |
| 221 電源線             | 226 メモリセル      |
| 222 PMOSセンスアンプ起動MOS | 227 メモリブロック    |
| 223 NMOSセンスアンプ起動MOS | 228 メデコータ      |
| 224 PMOSセンスアンプ      | 229 Yデコータ      |

【第22図】



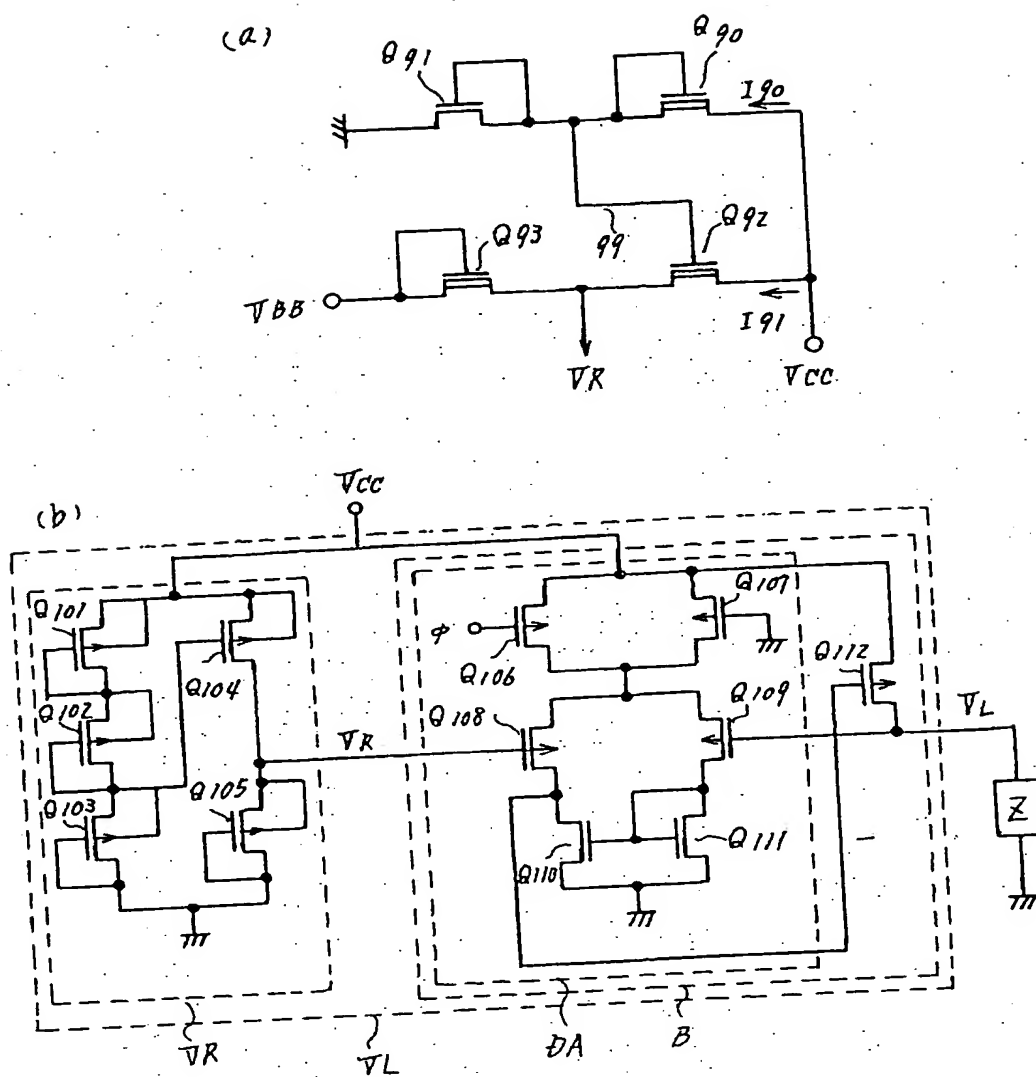
【第33図】



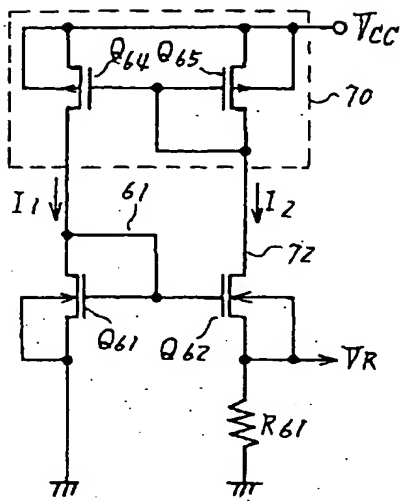


(30)

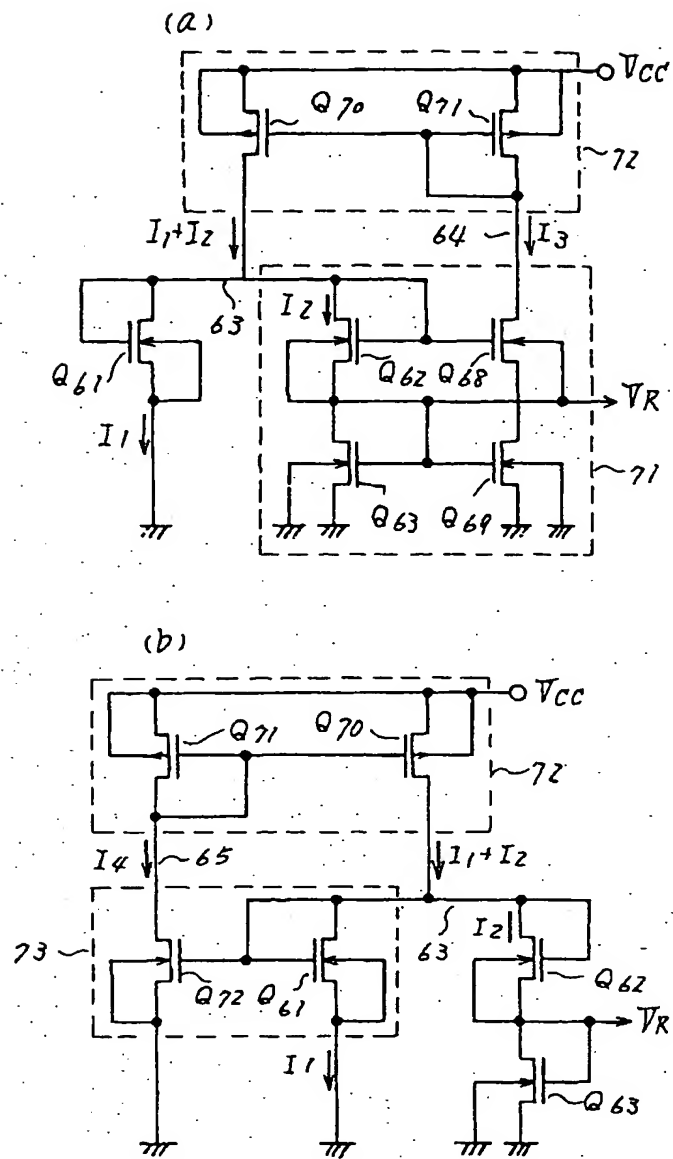
【第7図】



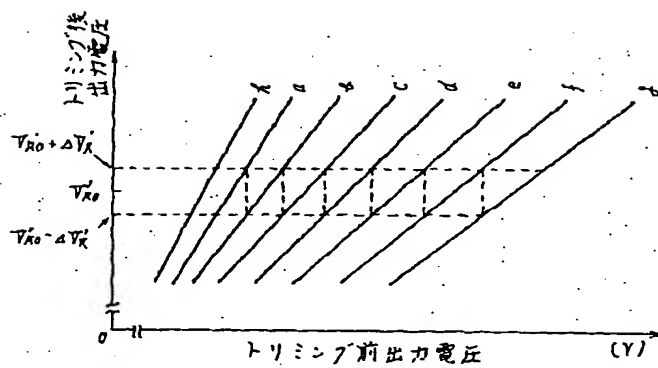
【第8図】



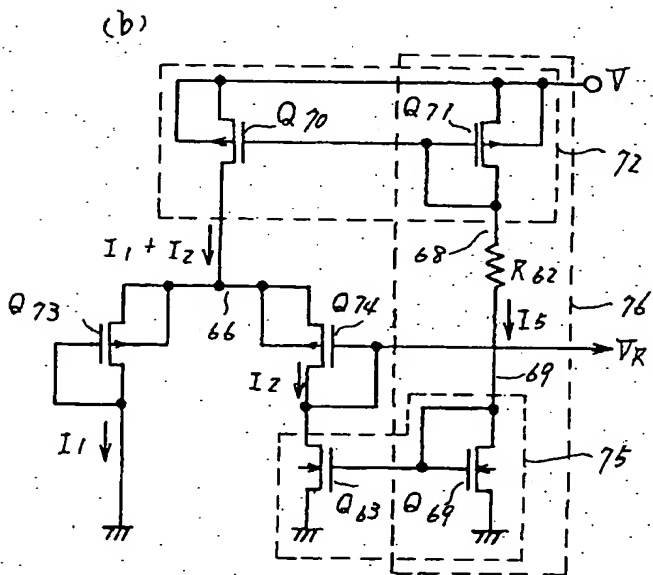
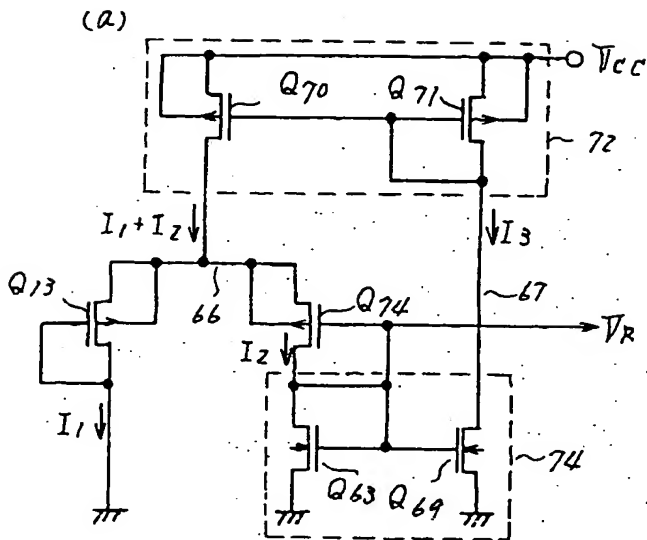
【第9図】



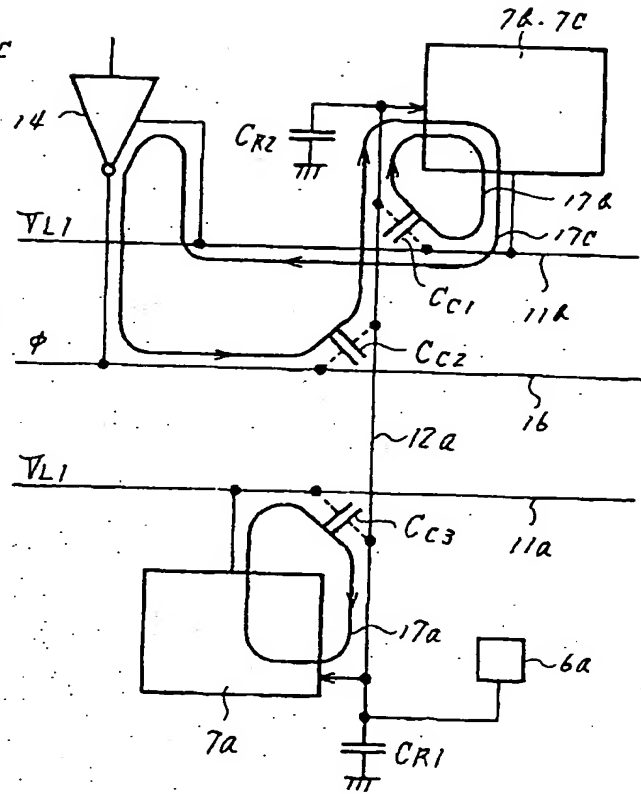
【第36図】



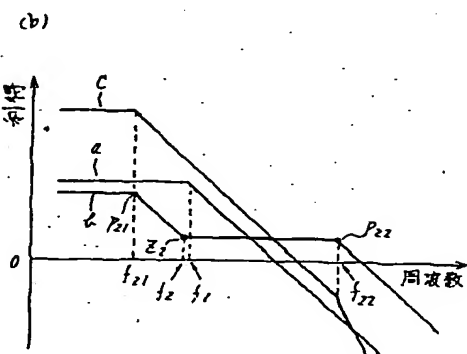
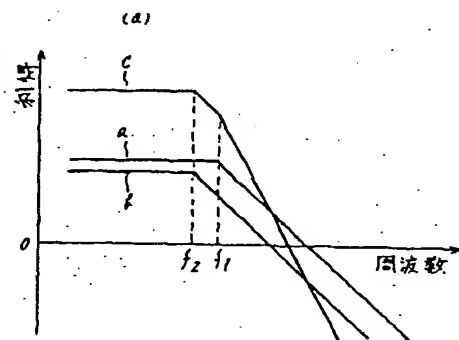
【第10図】



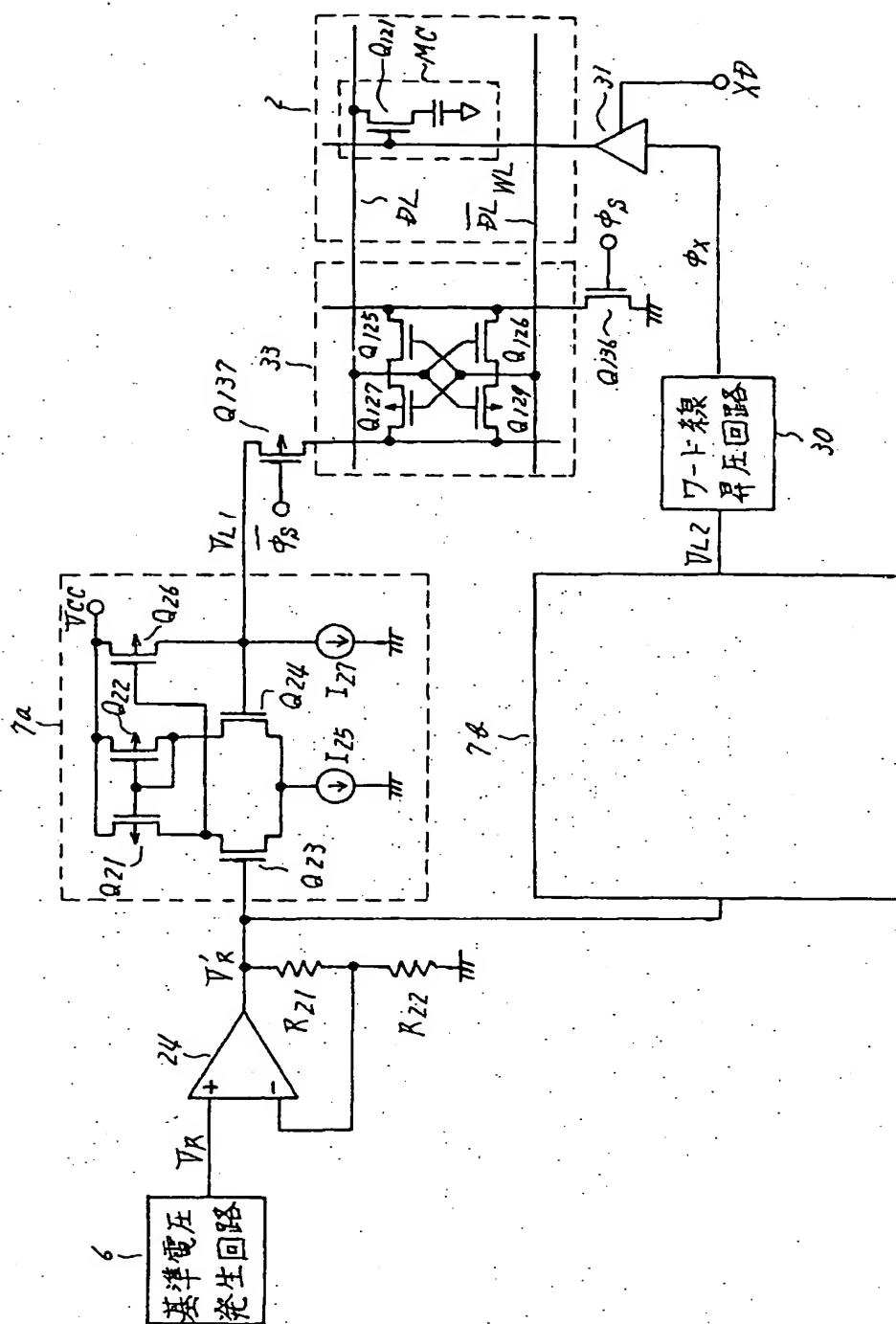
【第19図】



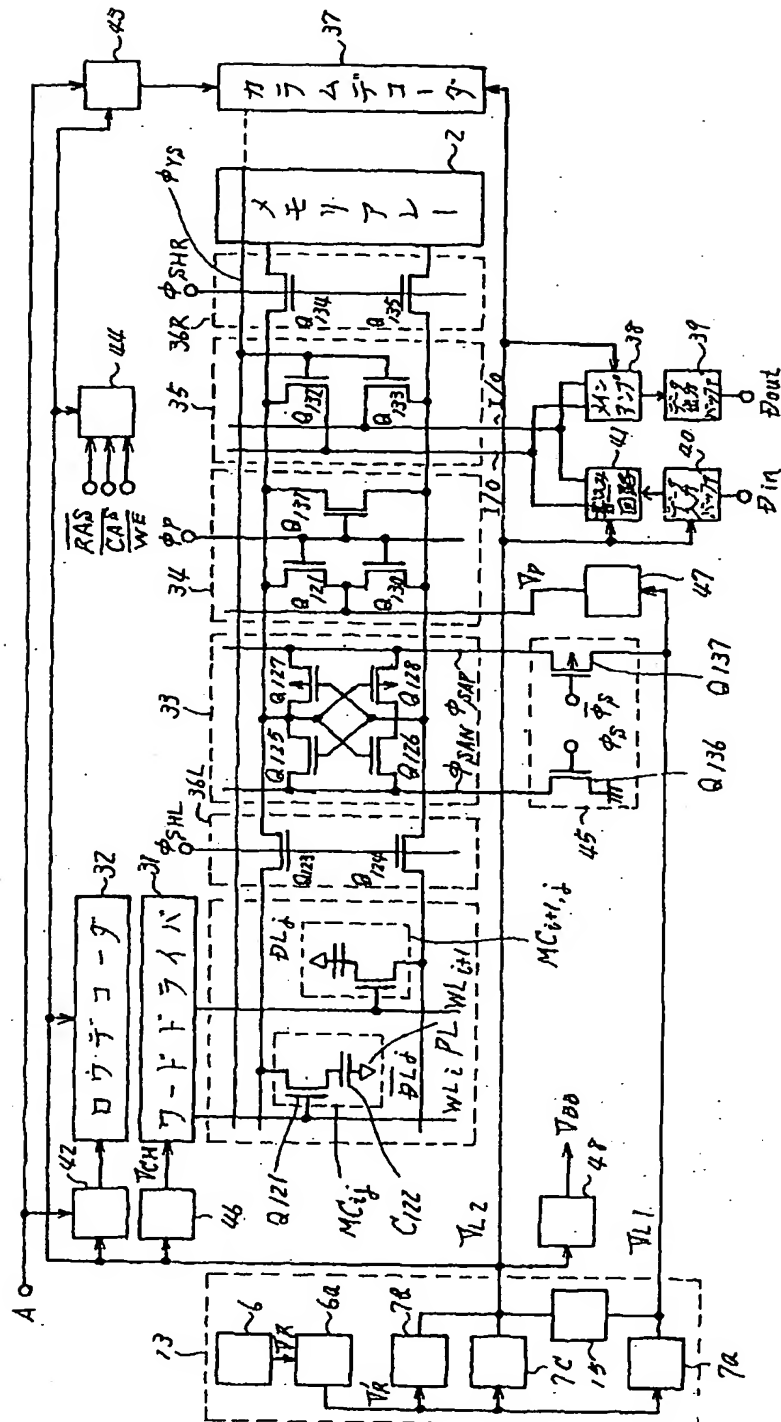
【第31図】



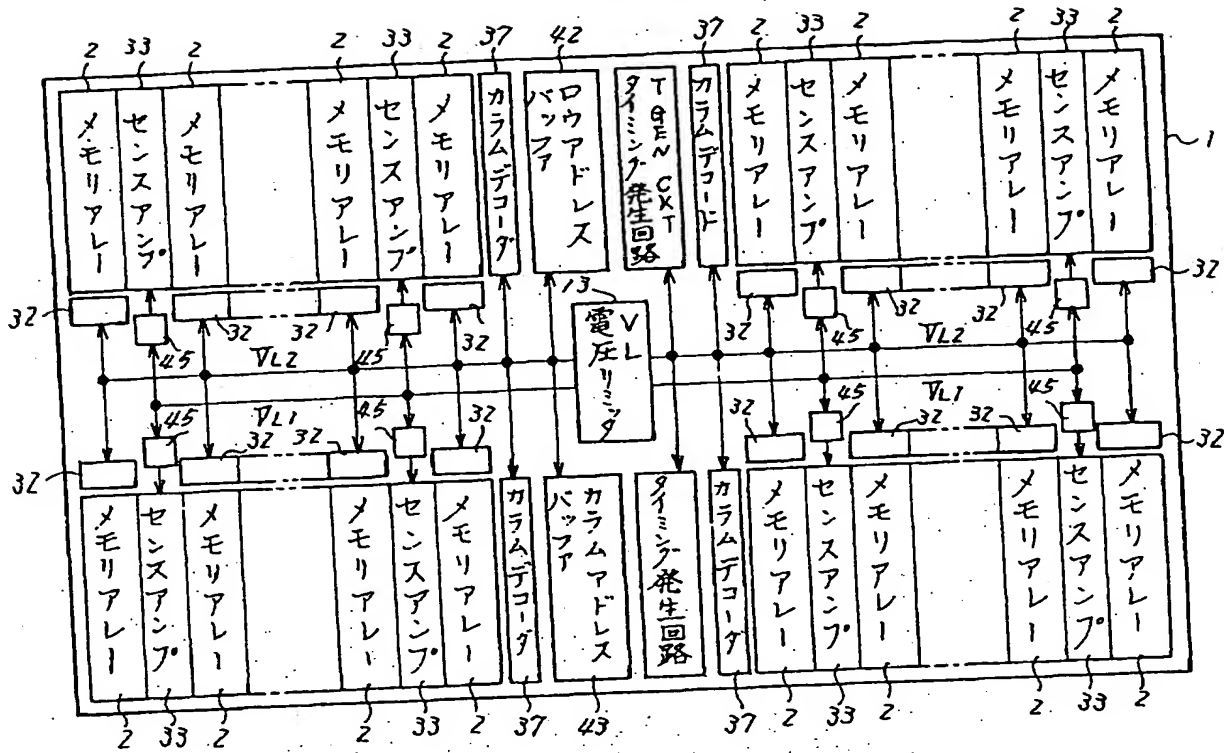
【第 12 図】



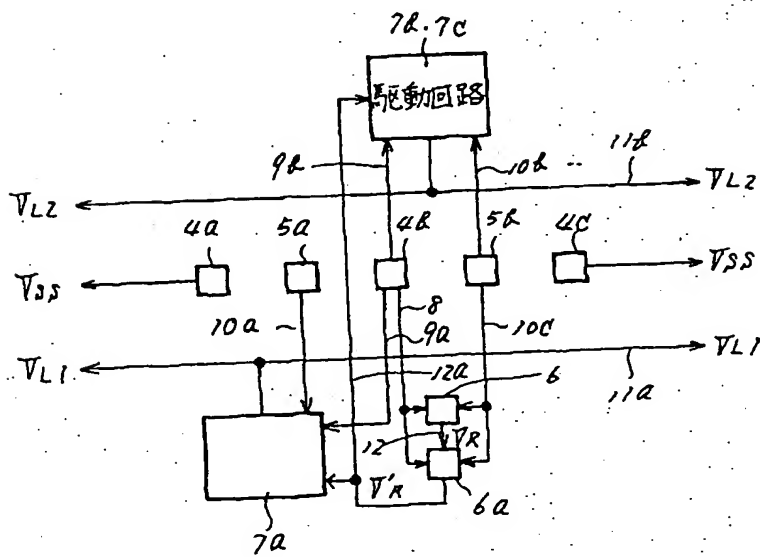
【第13図】



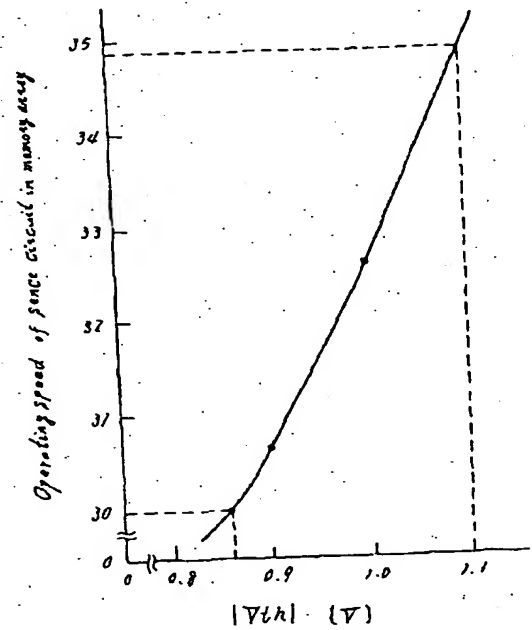
【第14図】



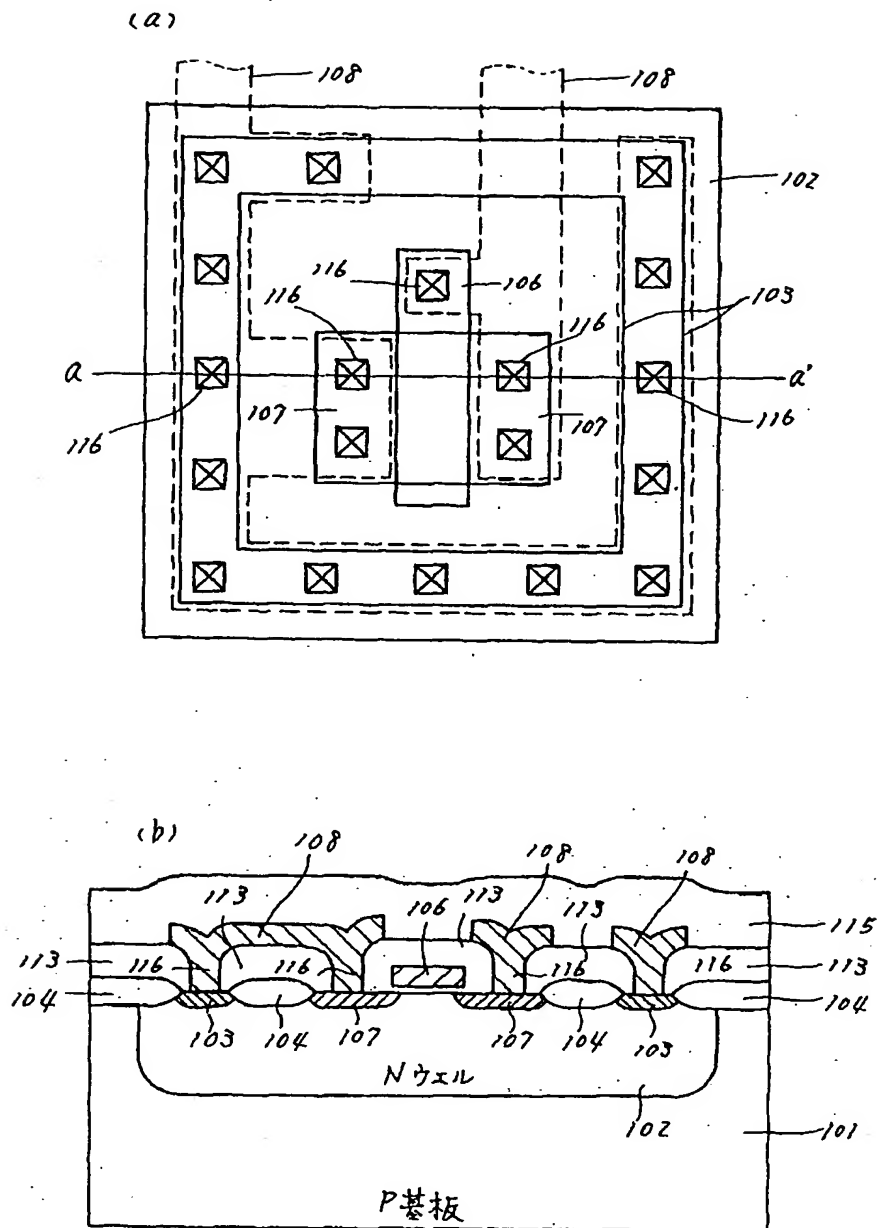
【第15図】



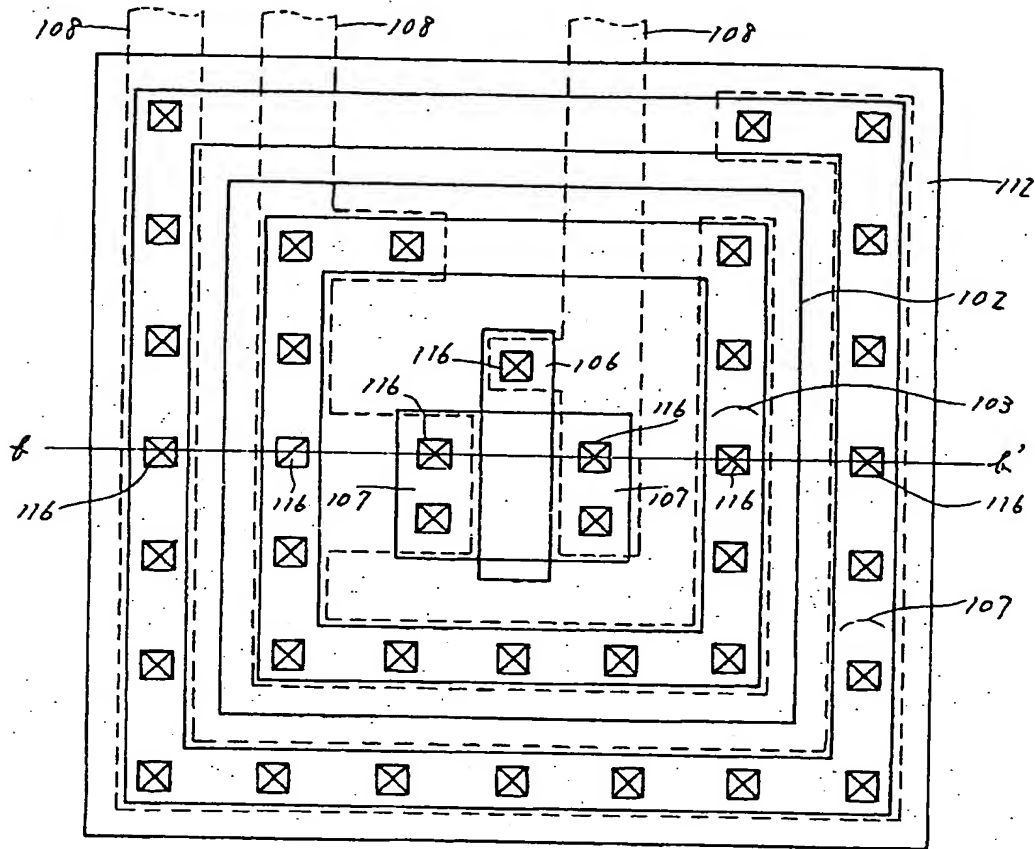
【第51図】



【第16図】

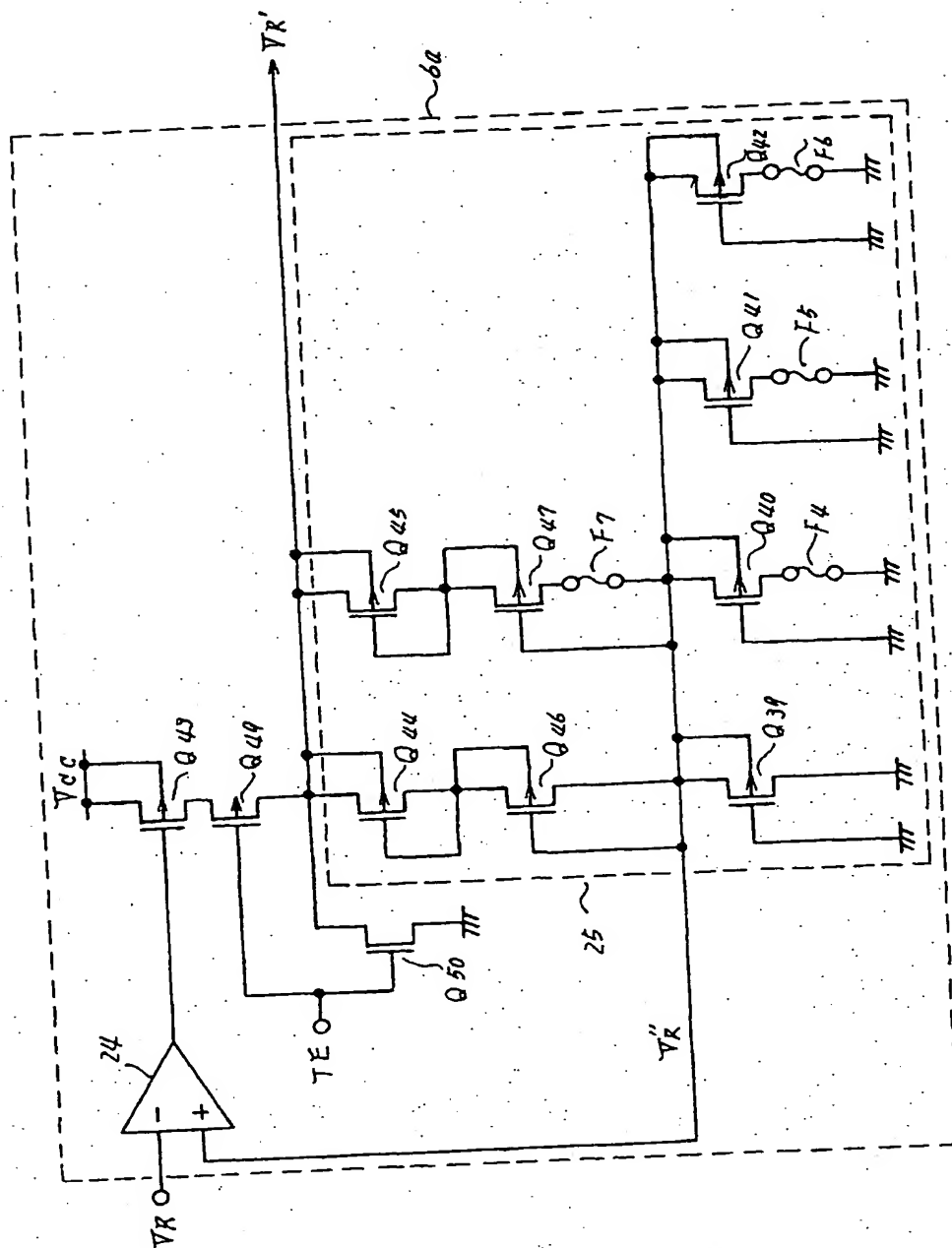


(a)

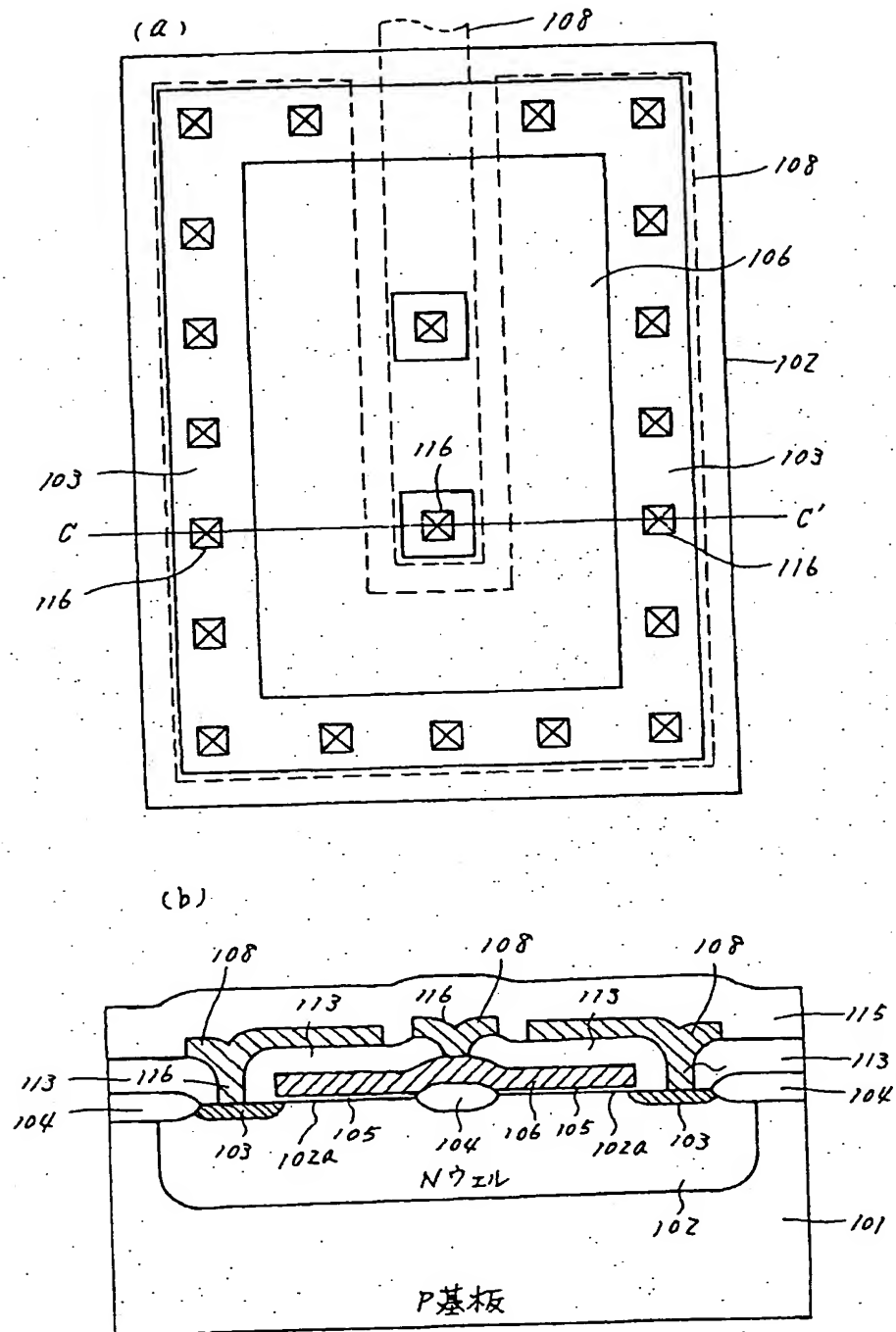
[illegible]



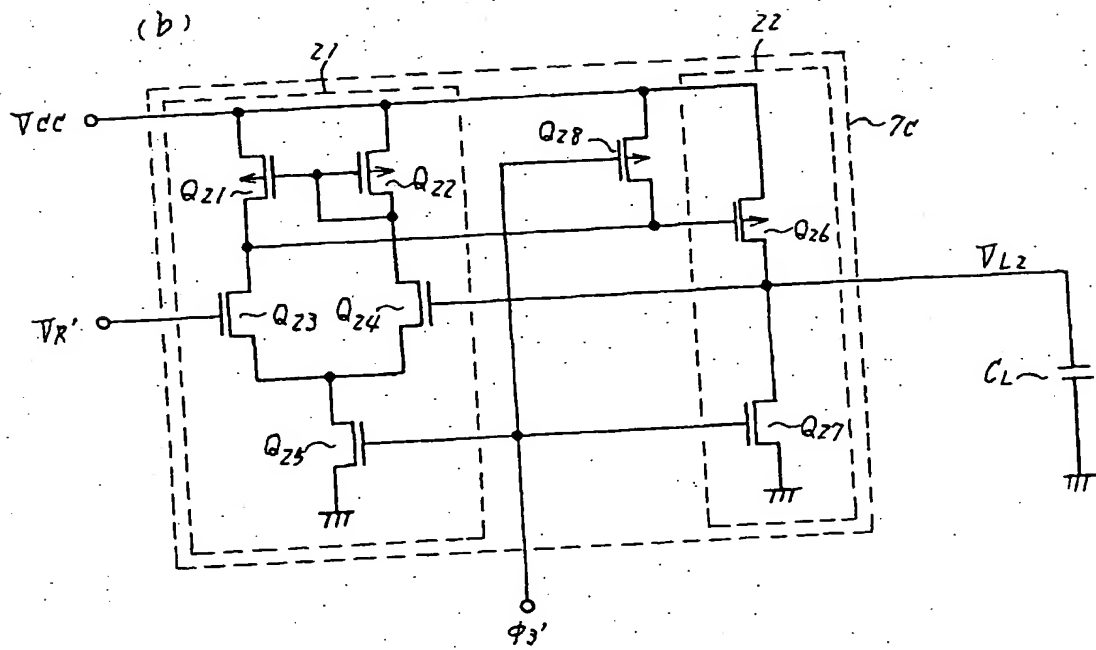
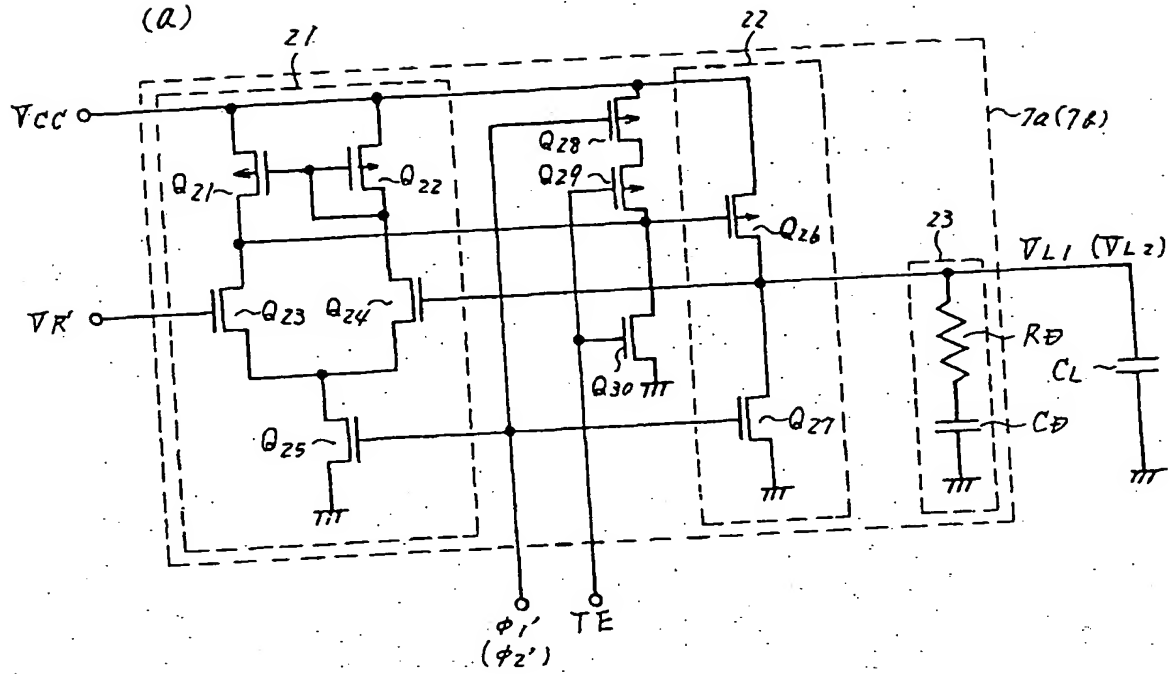
【第 18 図】



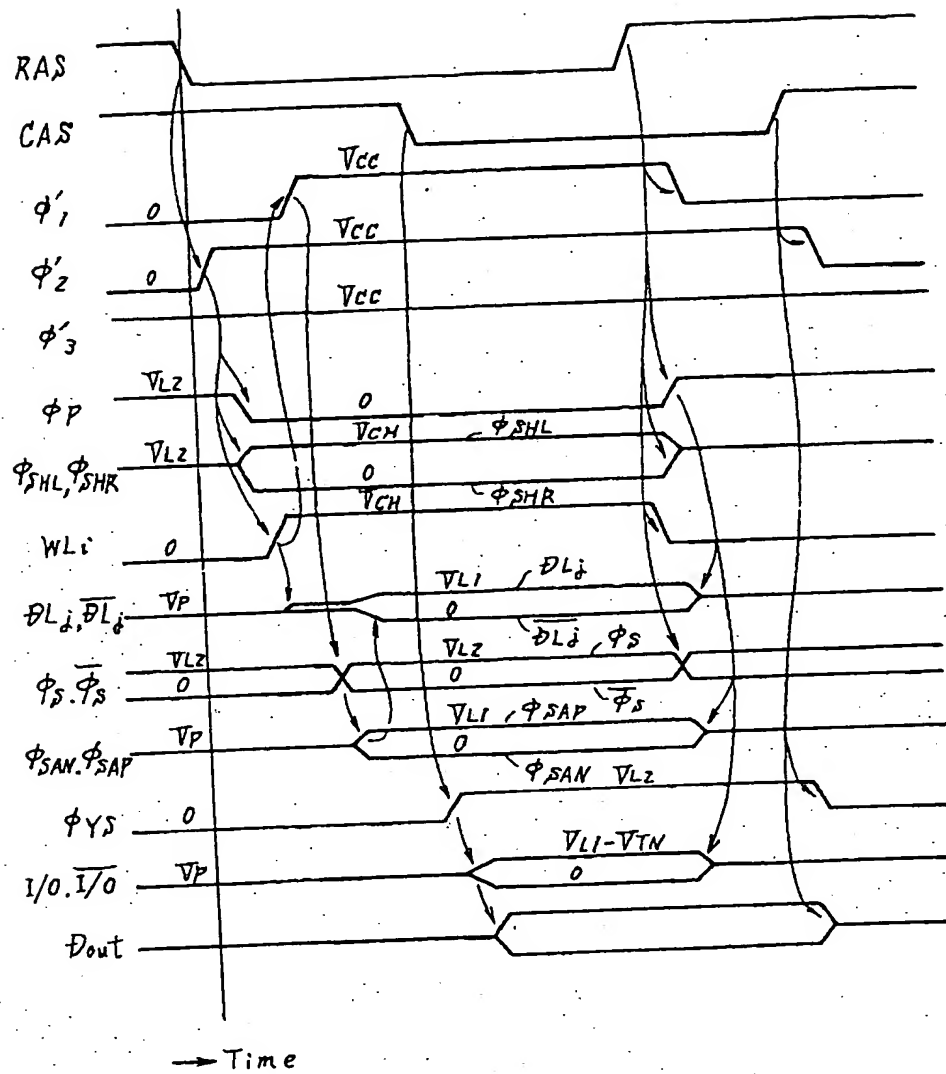
【第20図】



【第21図】



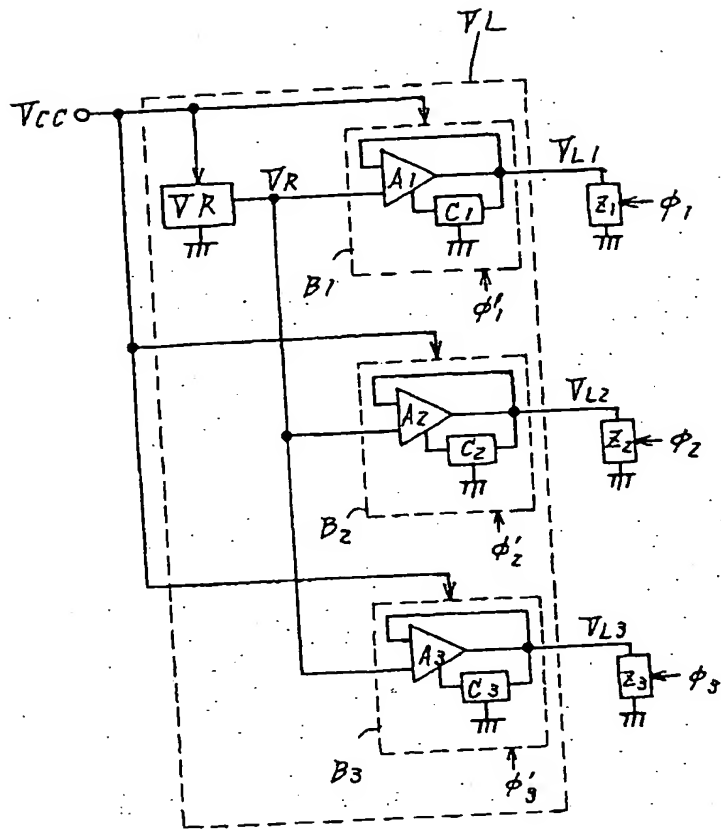
【第23図】



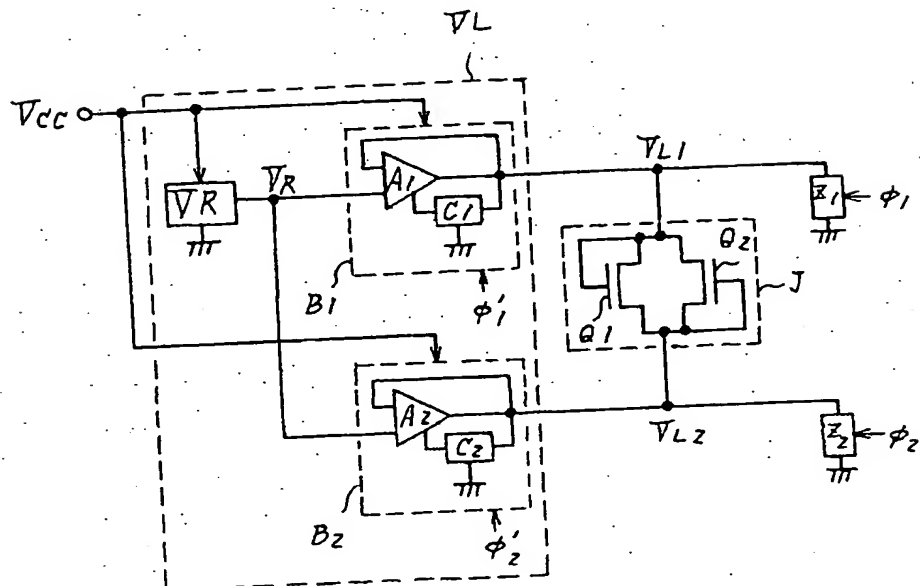
【第44図】

アドレス信号	$a_i$	"0"	"1"
	$\overline{a_i}$	"1"	"0"
タイミングパルス $\phi_T$			
パルス $\phi_{P1}, \phi_{P3}$			
パルス $\phi_{P2}, \phi_{P4}$			

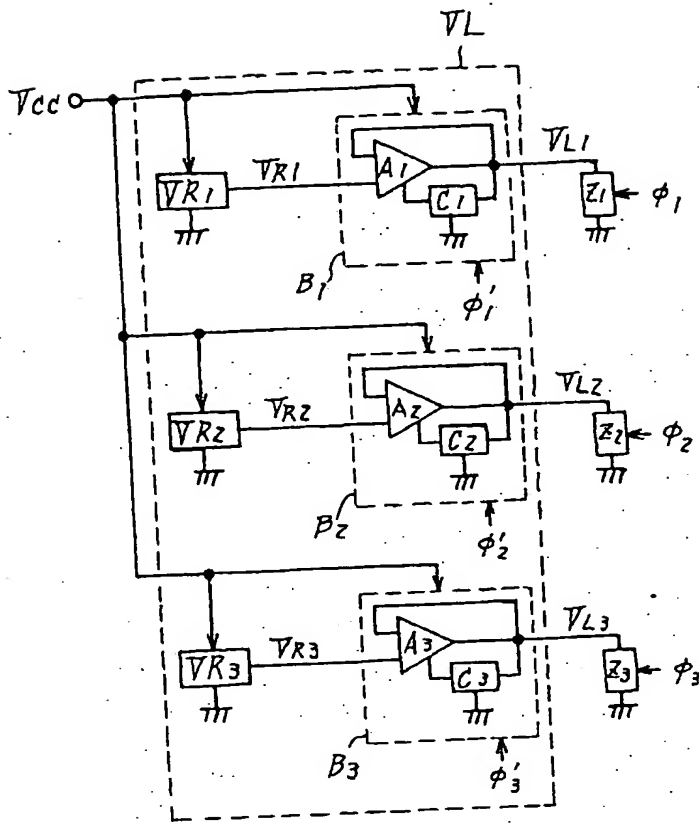
【第24図】



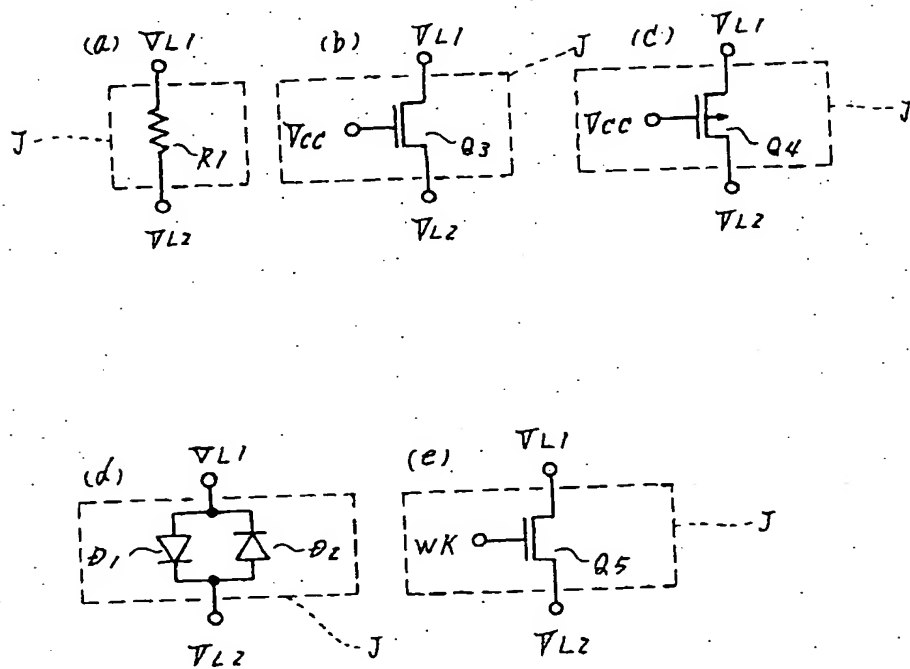
【第27図】



【第25図】

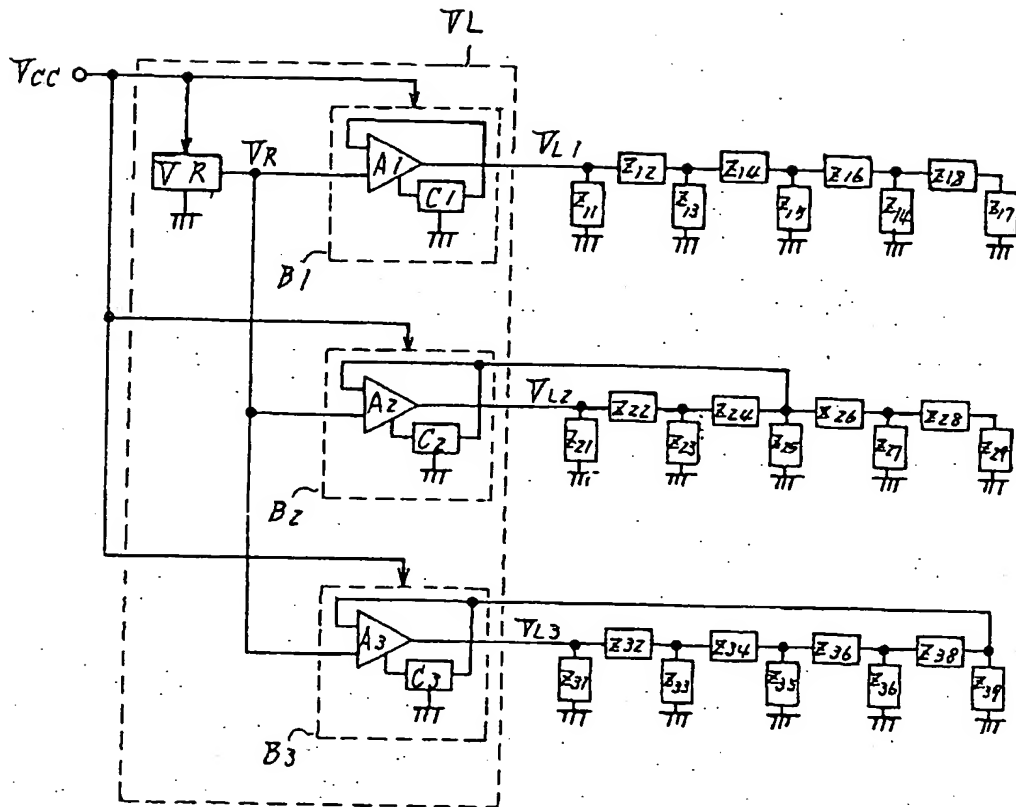


【第28図】

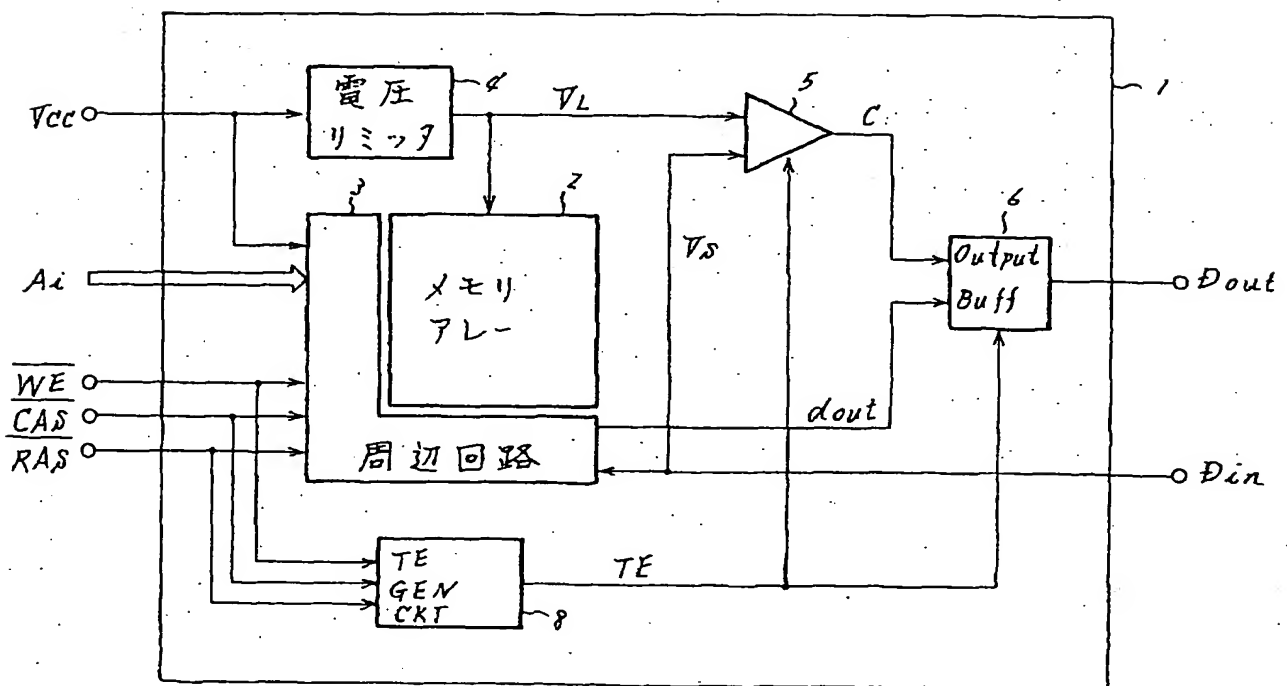




【第29図】

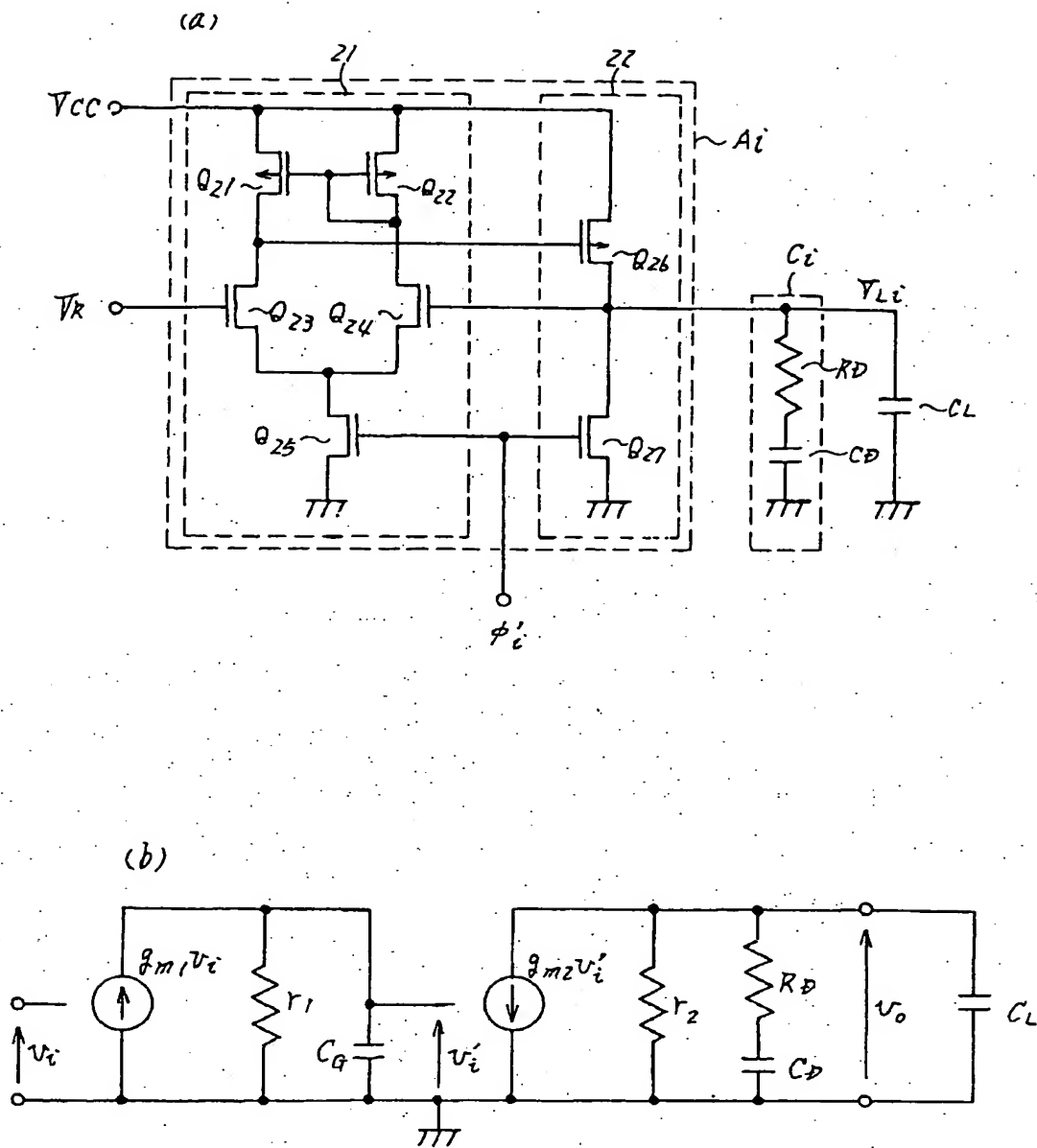


【第52図】

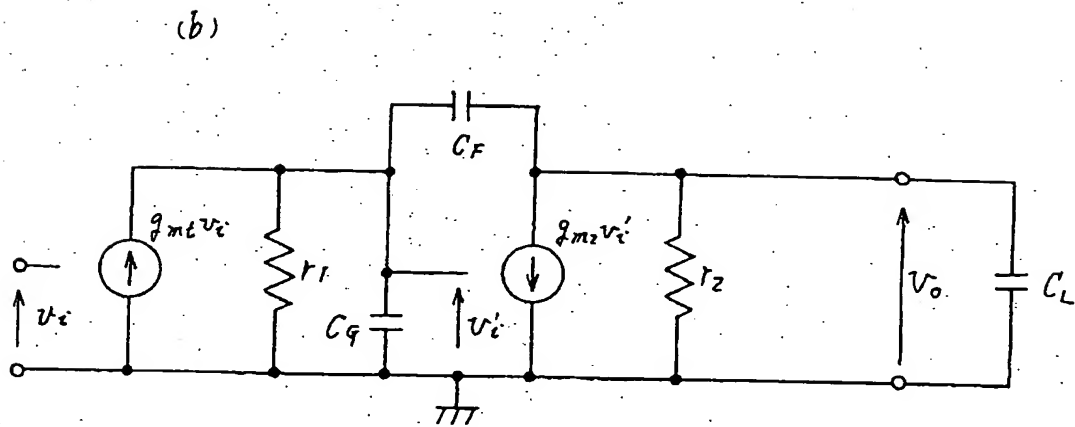
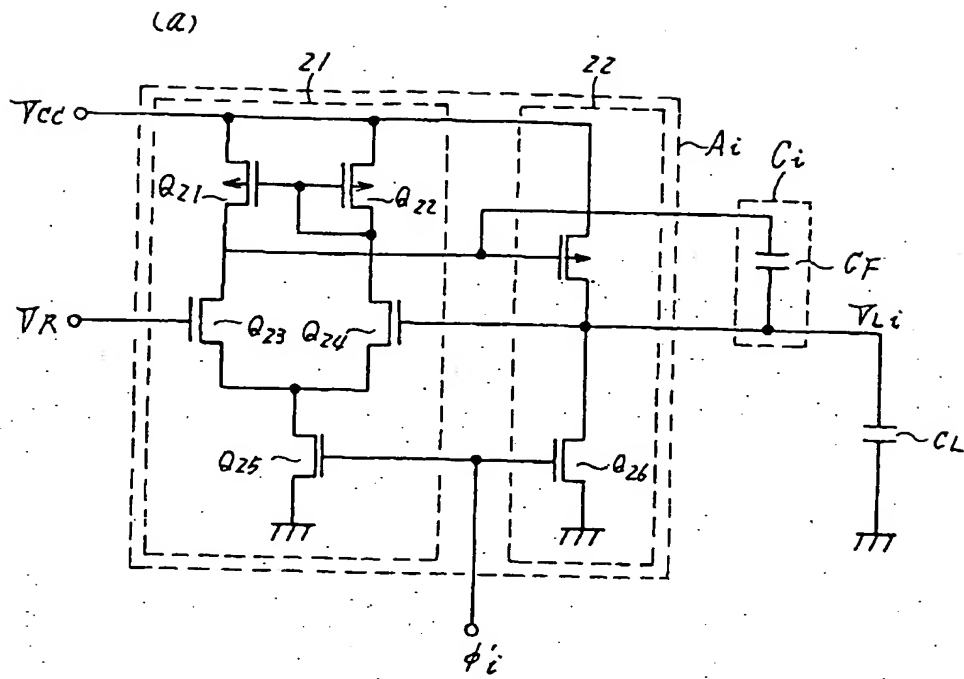




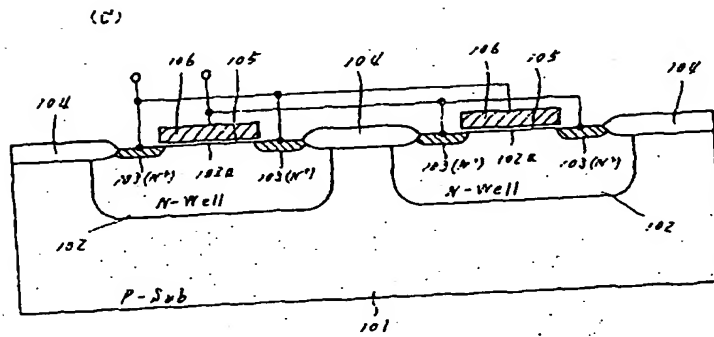
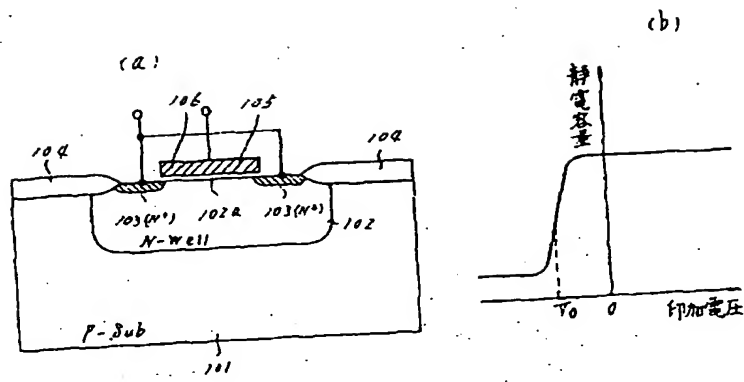
【第30図】



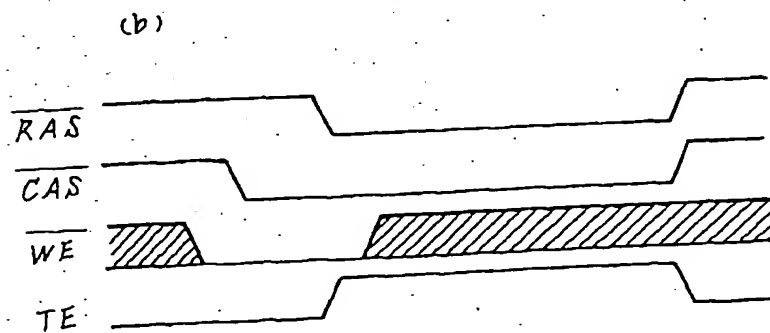
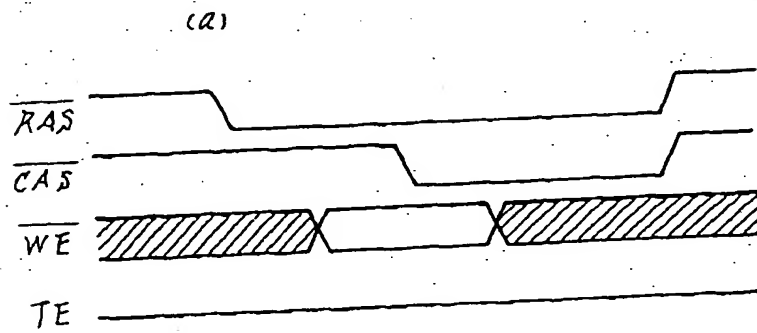
【第32図】



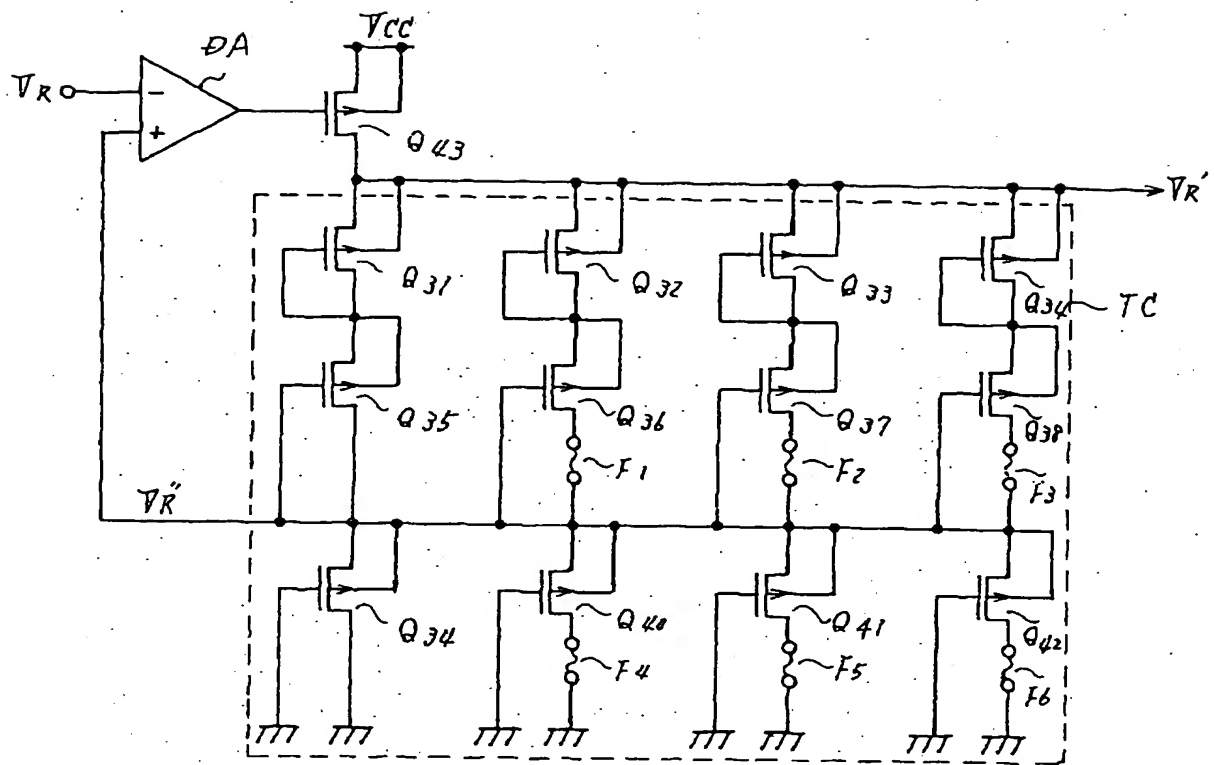
【第34図】



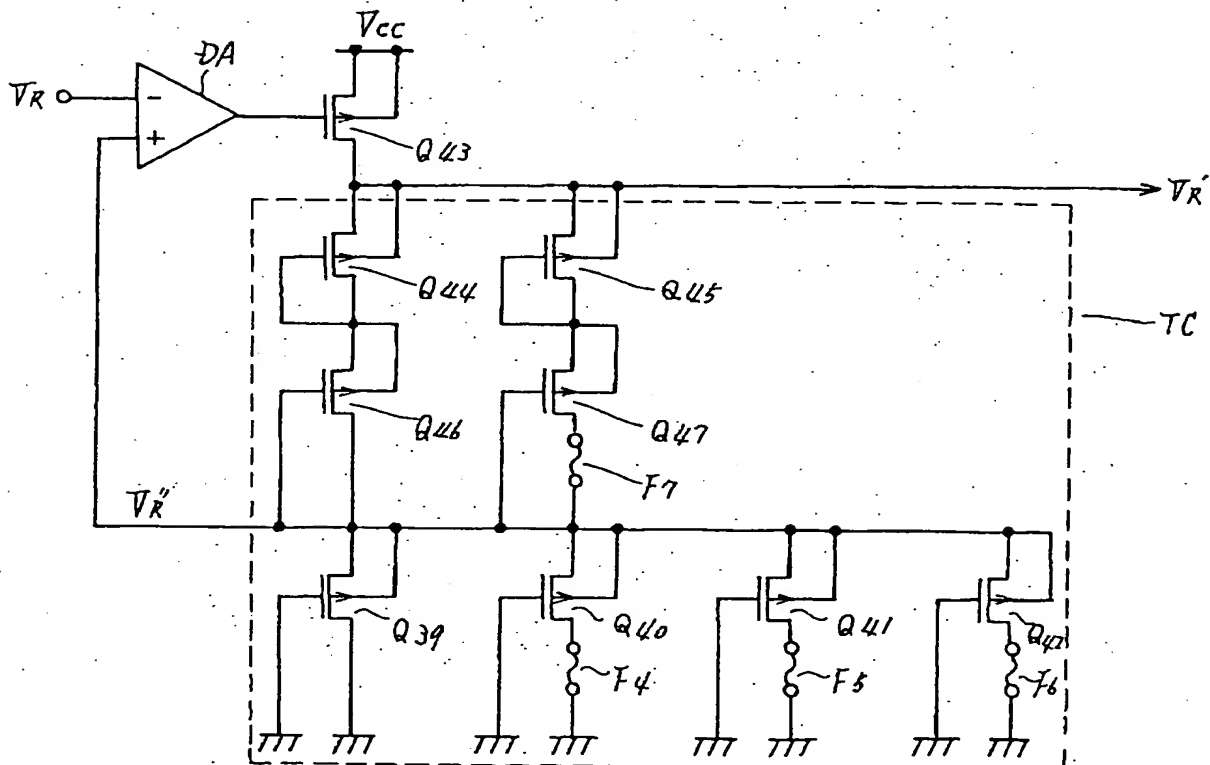
【第53図】



【第35図】

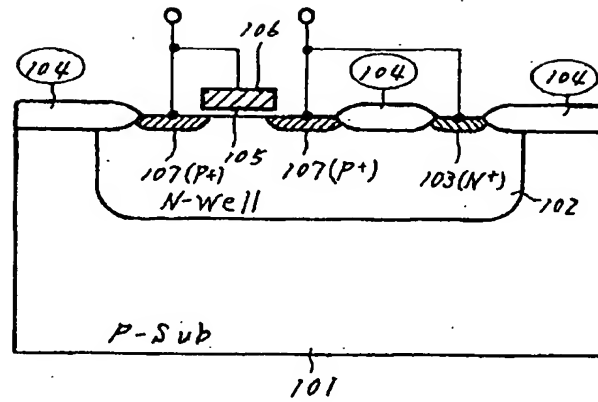


【第37図】

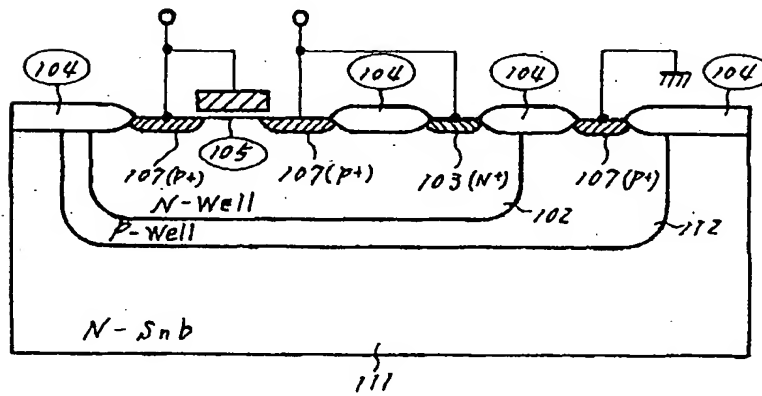


【第38図】

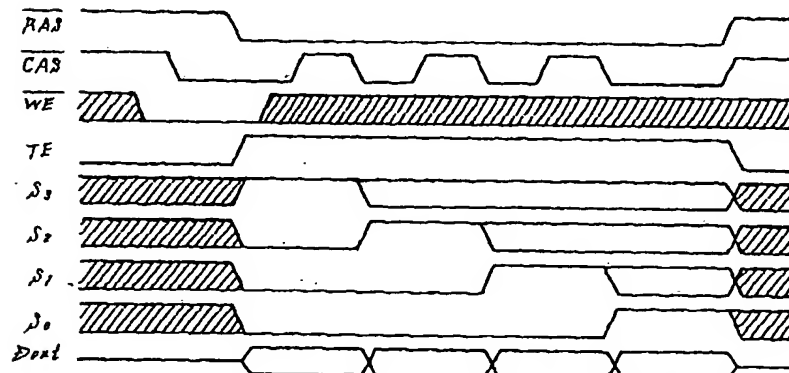
(a)



(b)

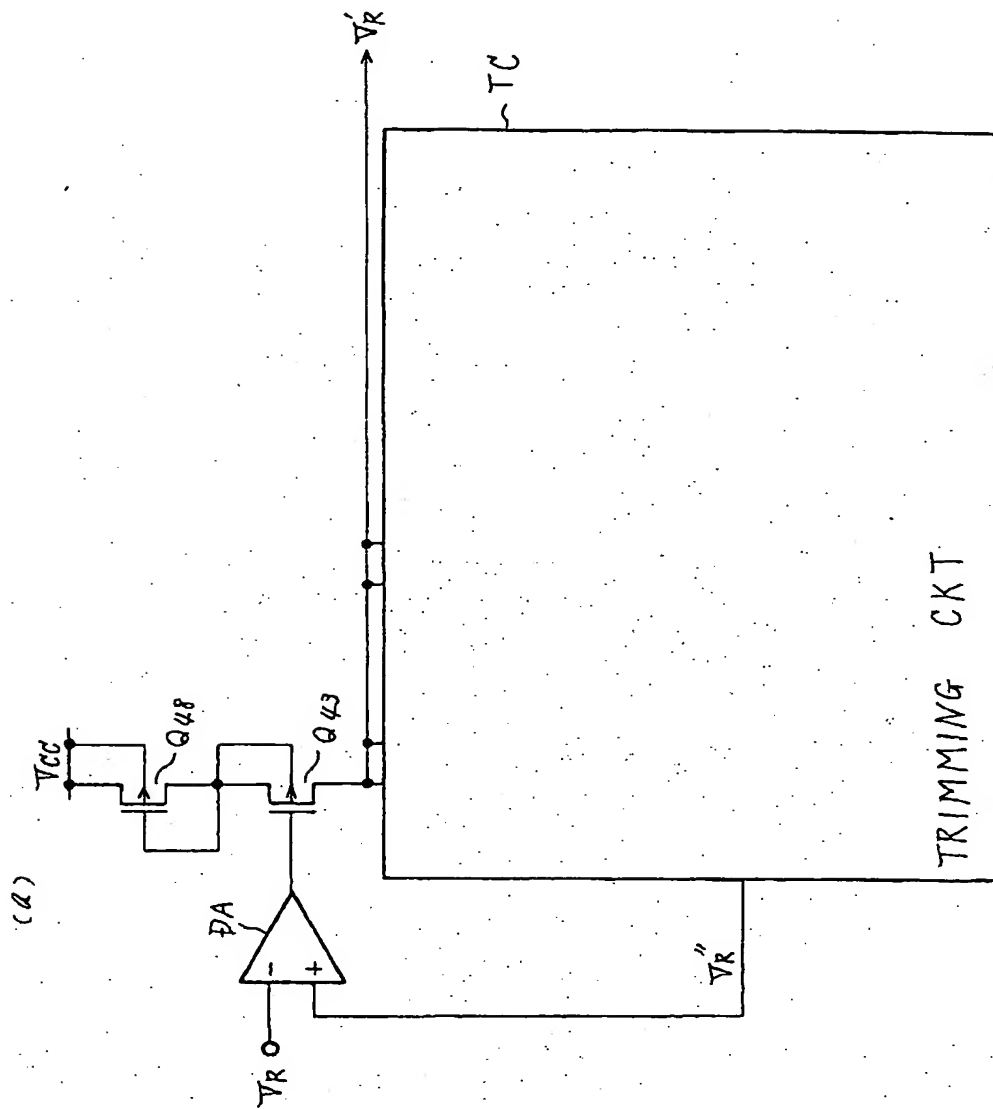


【第60図】

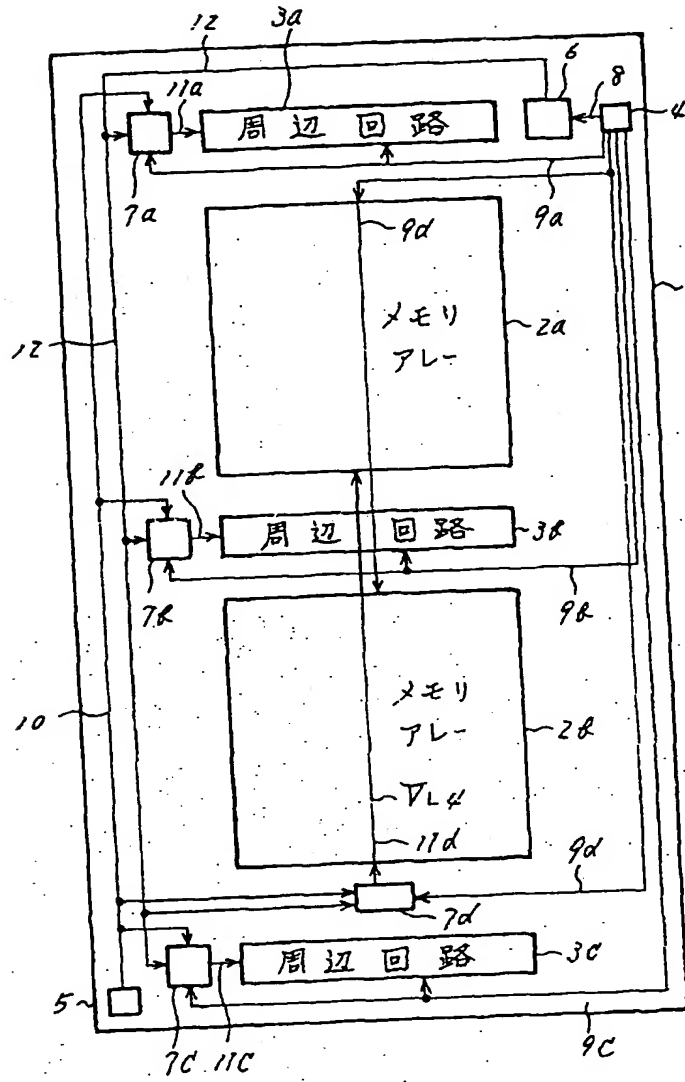
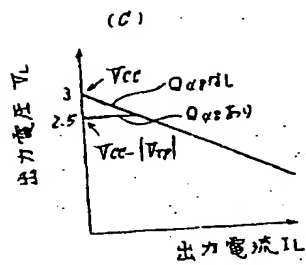
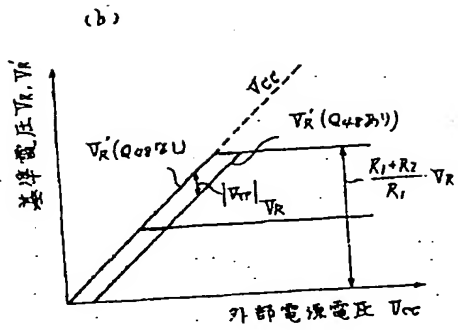


【第39図】

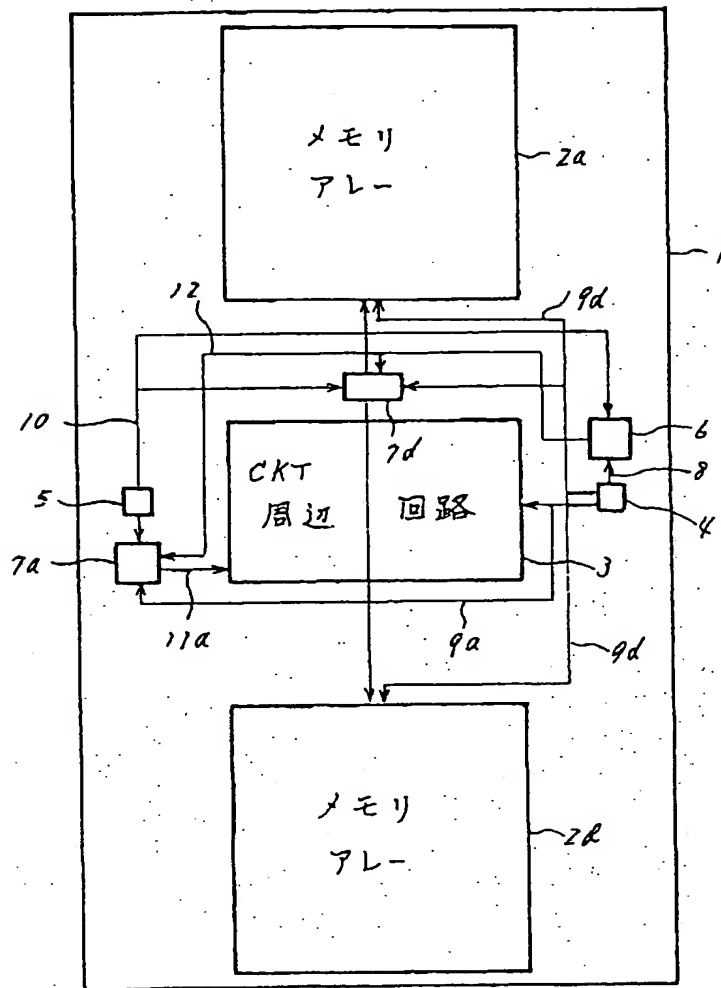
PHOS Q48を追加した調整回路



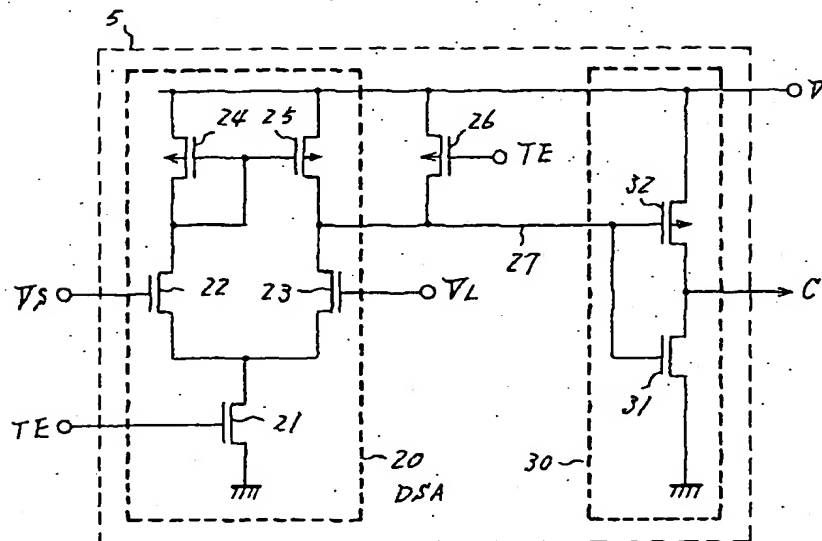
【第40図】



【第41図】

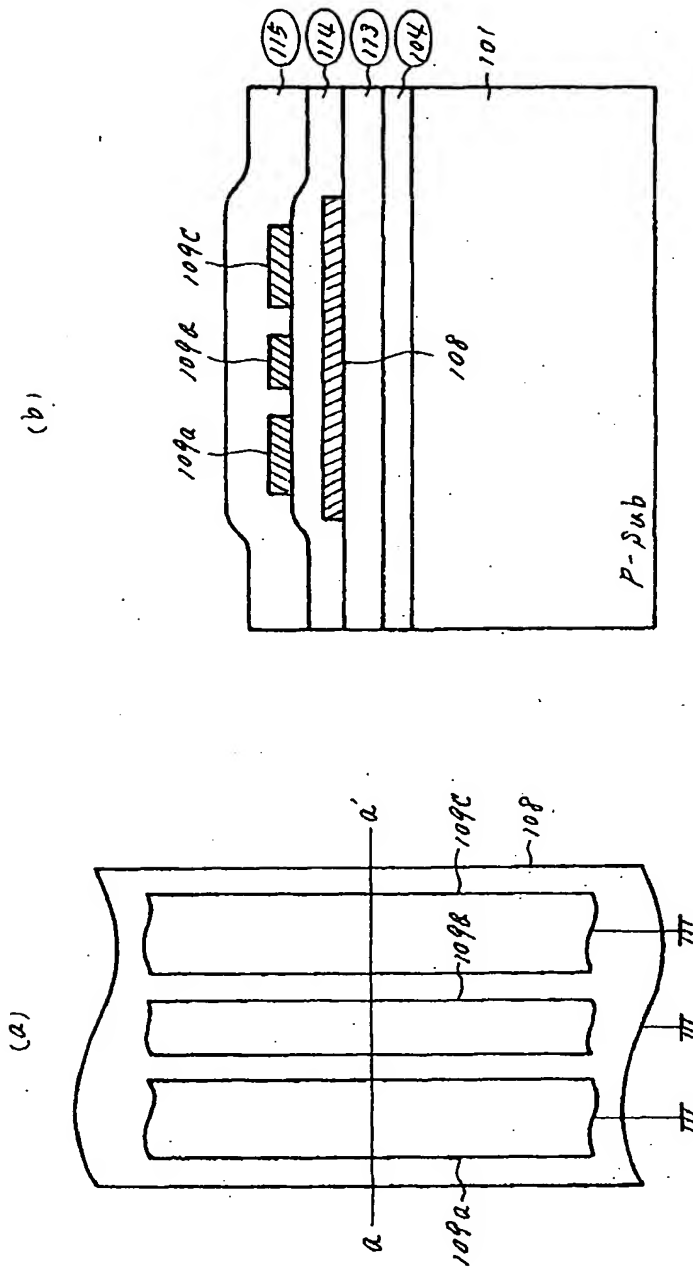


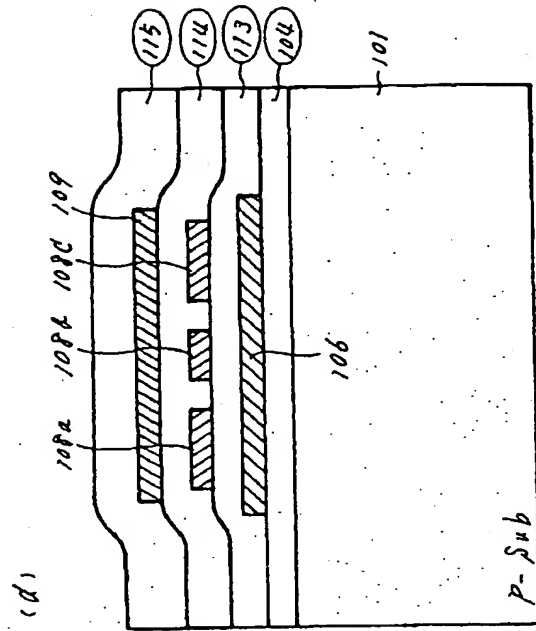
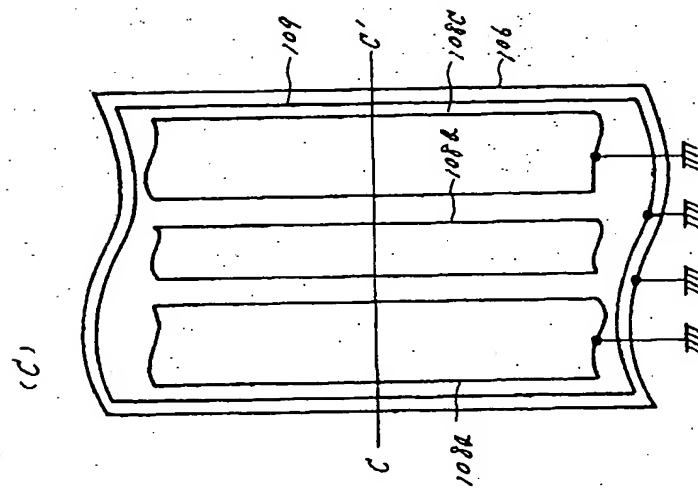
【第54図】

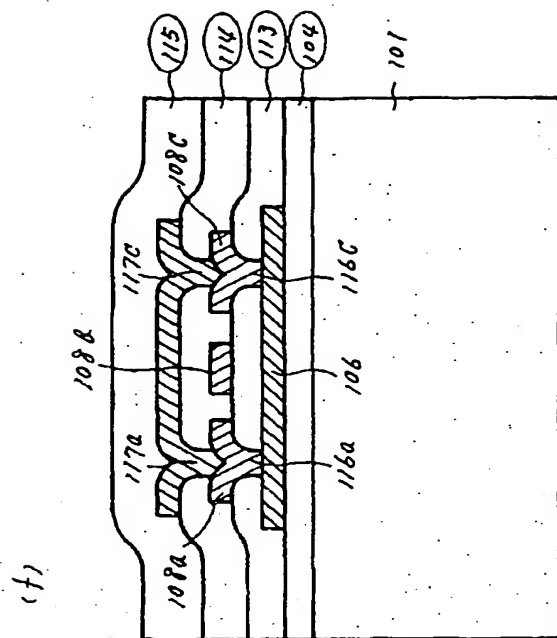
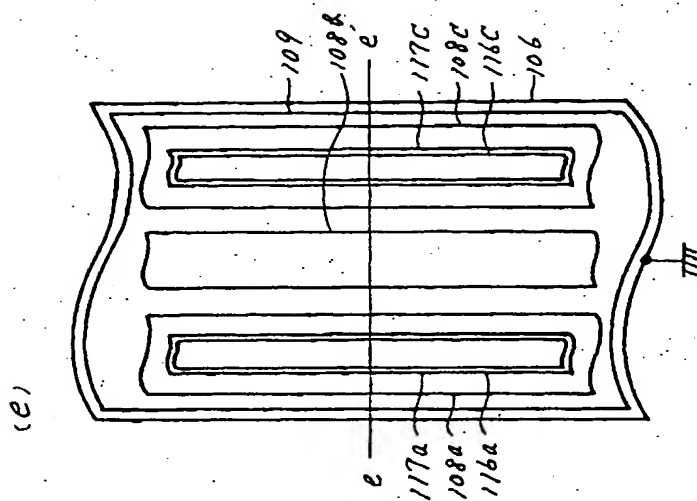


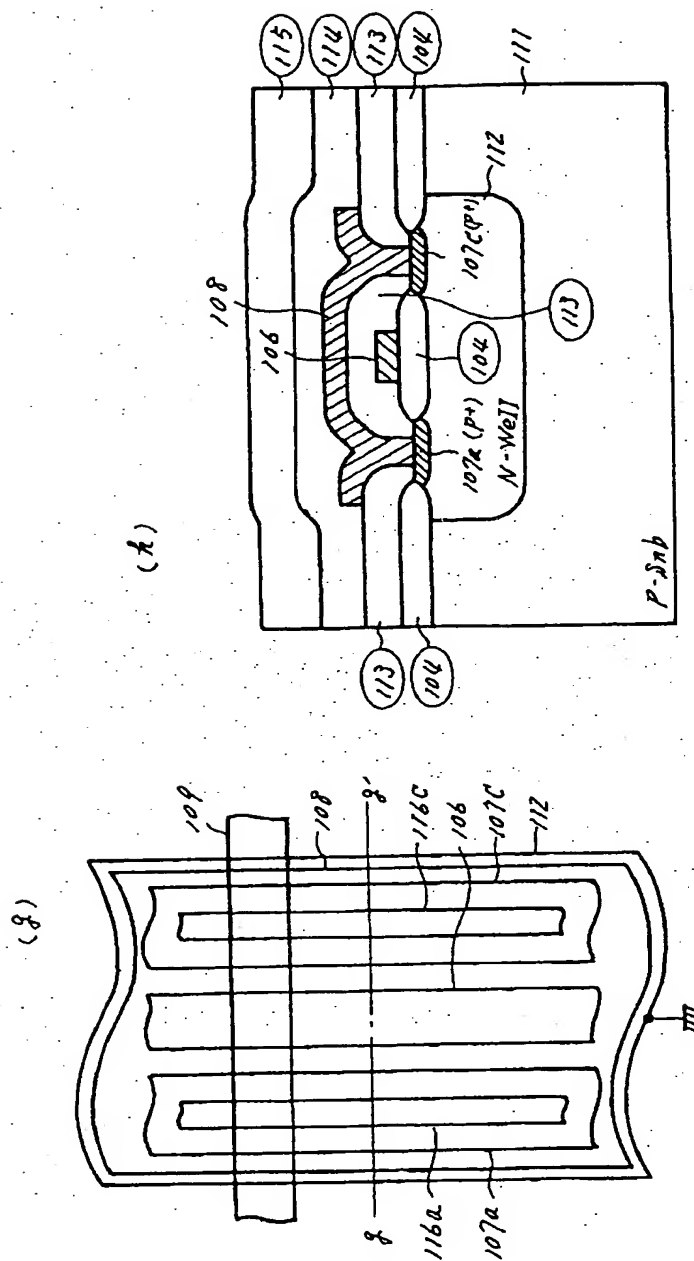


【第42図】

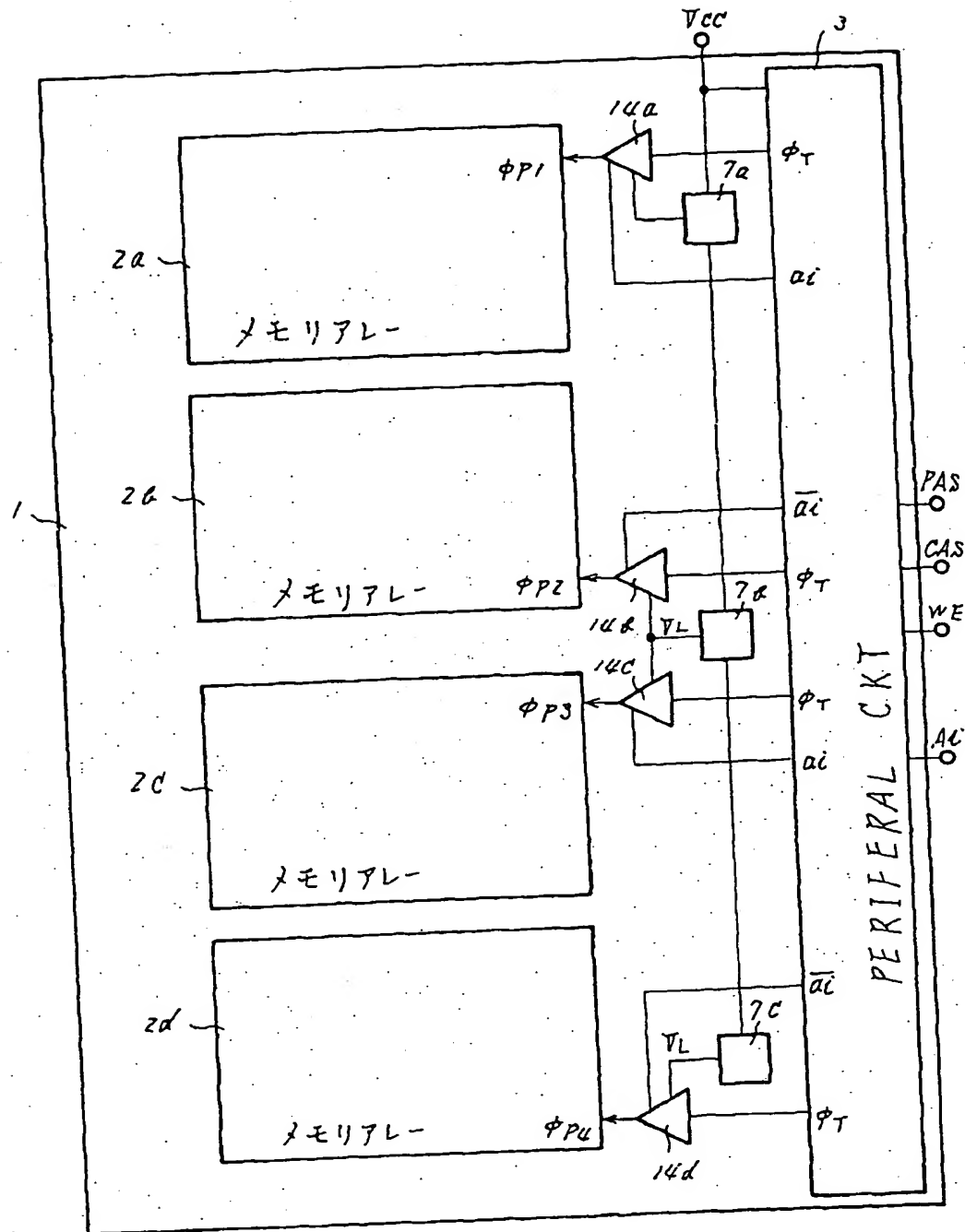




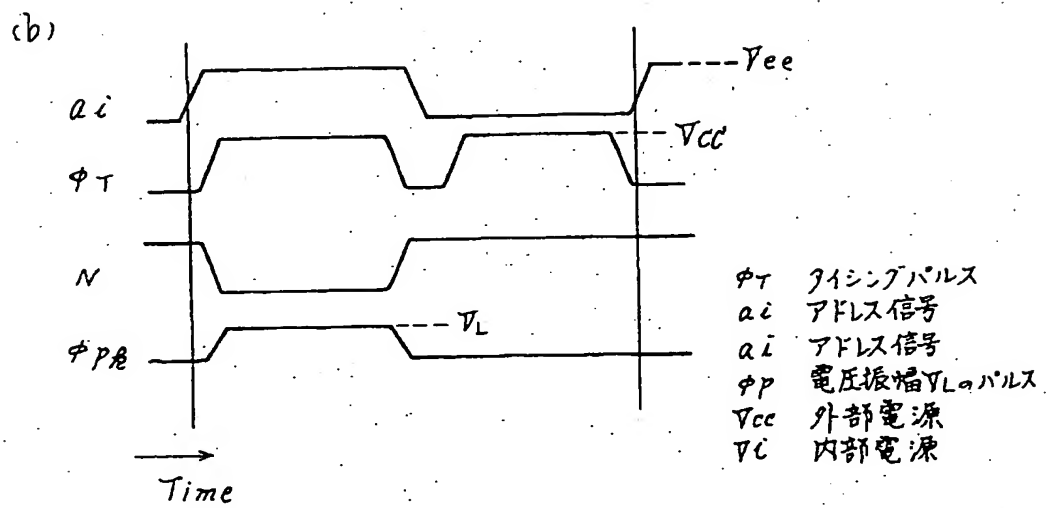
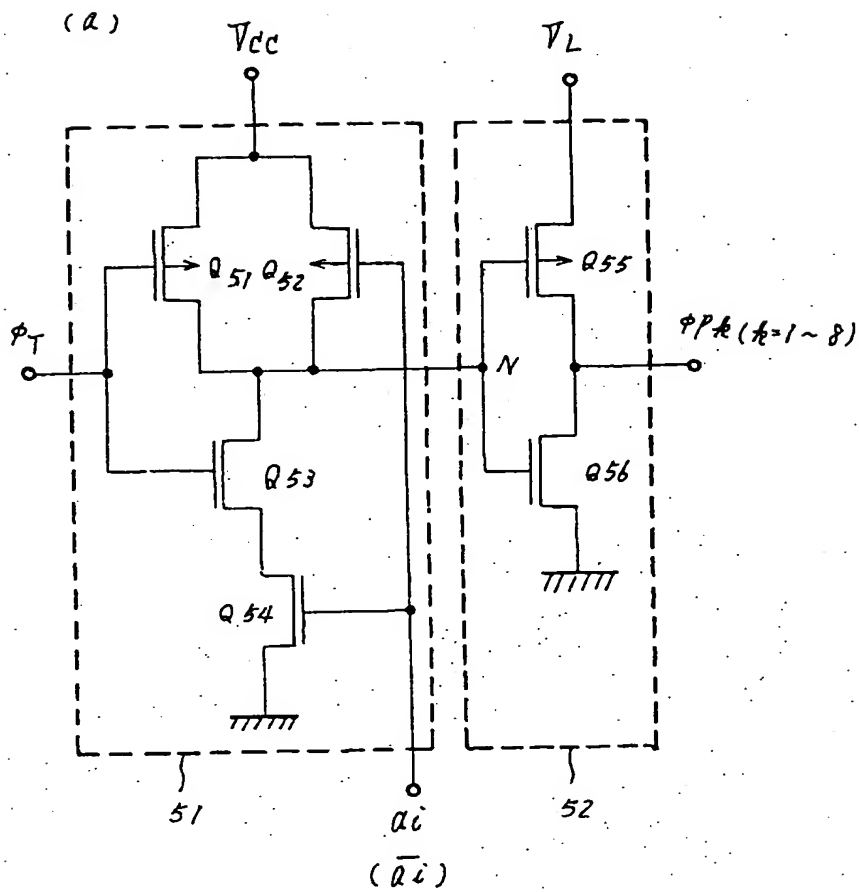




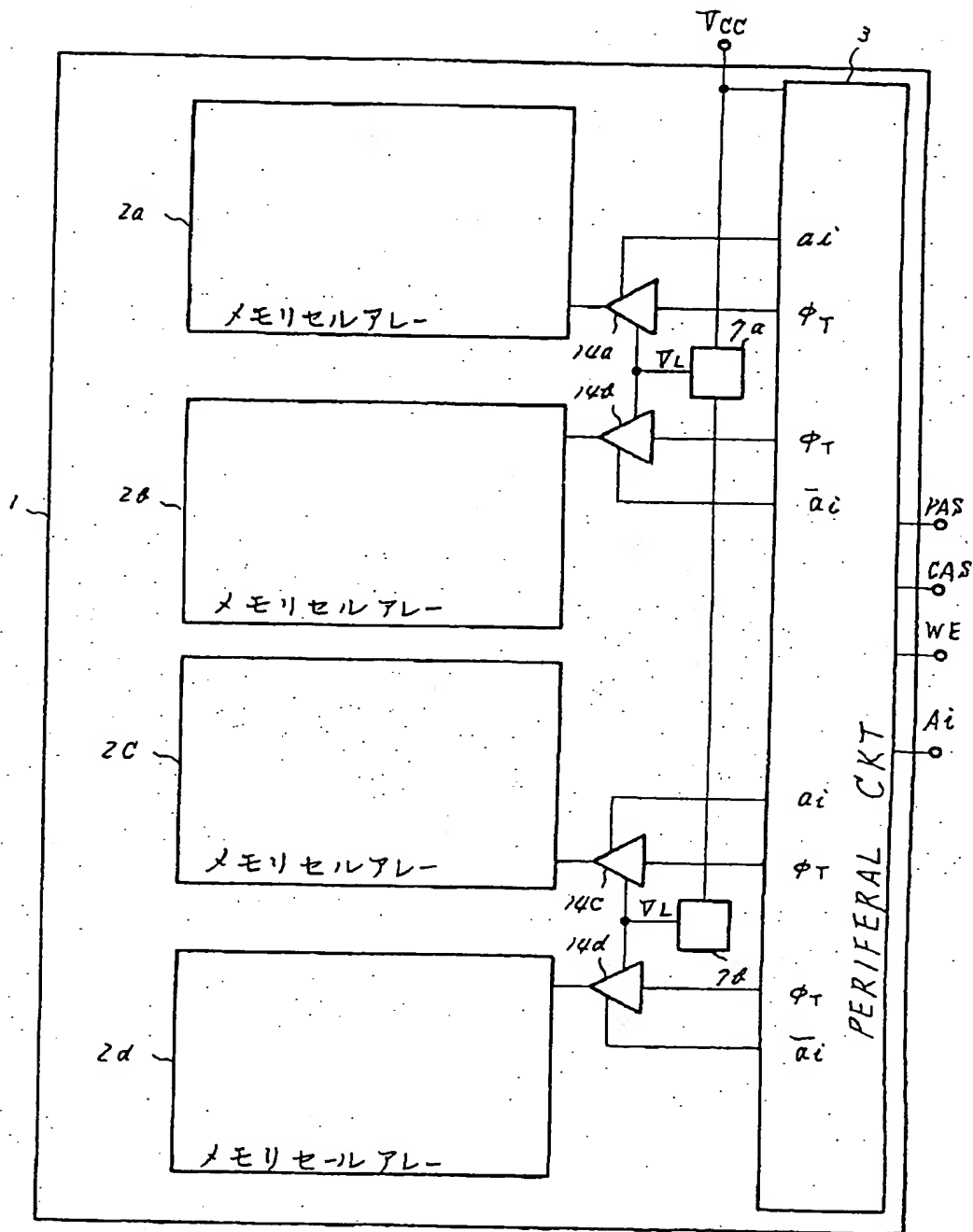
【第43図】



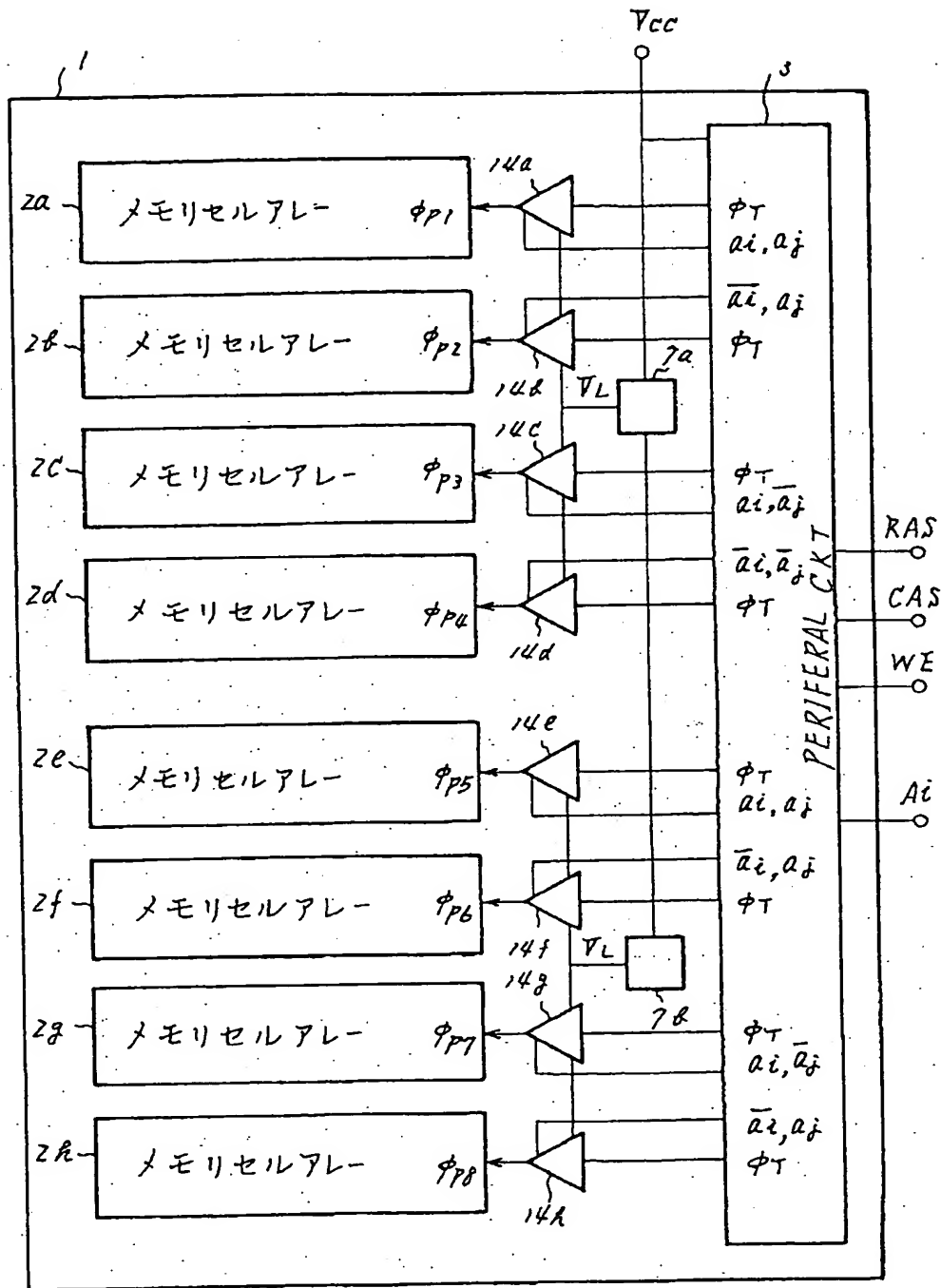
【第45図】



【第46例】




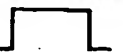
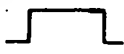

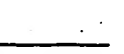
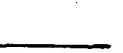
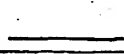



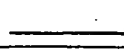


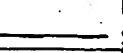
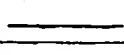
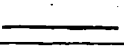
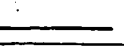

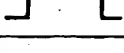
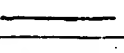
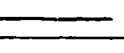
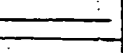
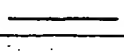
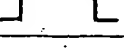
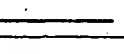
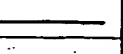
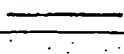
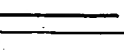
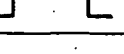
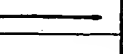
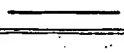
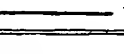
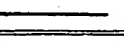

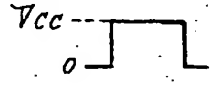
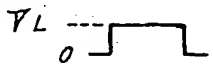


【第47図】



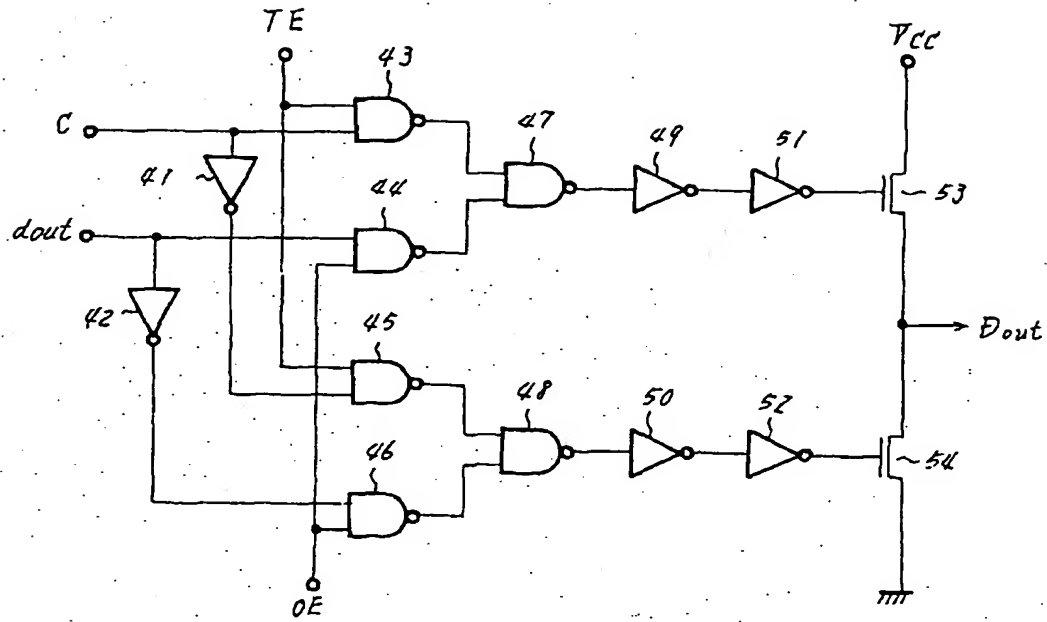


【第48図】

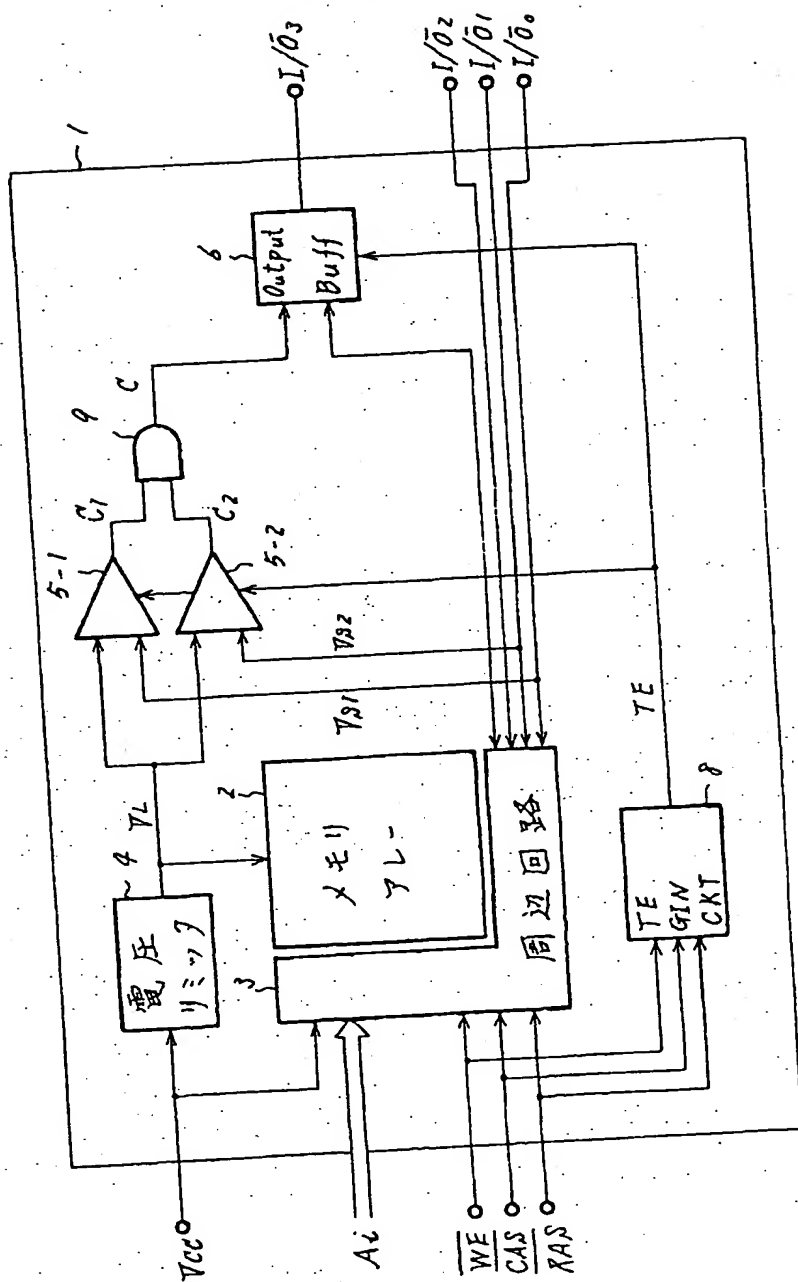
$a_i (\bar{a}_L)$	0	1	0	1
$a_j (\bar{a}_j)$	0	0	1	1
$\phi_T$				
$\phi_{P1}$				
$\phi_{P2}$				
$\phi_{P3}$				
$\phi_{P4}$				
$\phi_{P5}$				
$\phi_{P6}$				
$\phi_{P7}$				
$\phi_{P8}$				
$\phi_T$				
$\phi_{Pk}$ ( $k=1-8$ )				

- |     |                  |     |              |
|-----|------------------|-----|--------------|
| 201 | 電源電圧(VCC)供給用バッド  | 209 | P形MOSセンスアンプ部 |
| 202 | 差動増幅器            |     | のN形ウェル       |
| 203 | リミット電源(VL)線      | 210 | メモリアブロック     |
| 204 | P形MOSセンスアンプ起動MOS | 211 | Xデコーダ        |
| 205 | N形MOSセンスアンプ起動MOS | 212 | Yデコーダ        |
| 206 | P形MOSセンスアンプ      | 213 | ショートブリッチャージ  |
| 207 | N形MOSセンスアンプ      |     | 信号線          |
| 208 | メモリエセル           | 214 | 電源線 $VL/2$   |

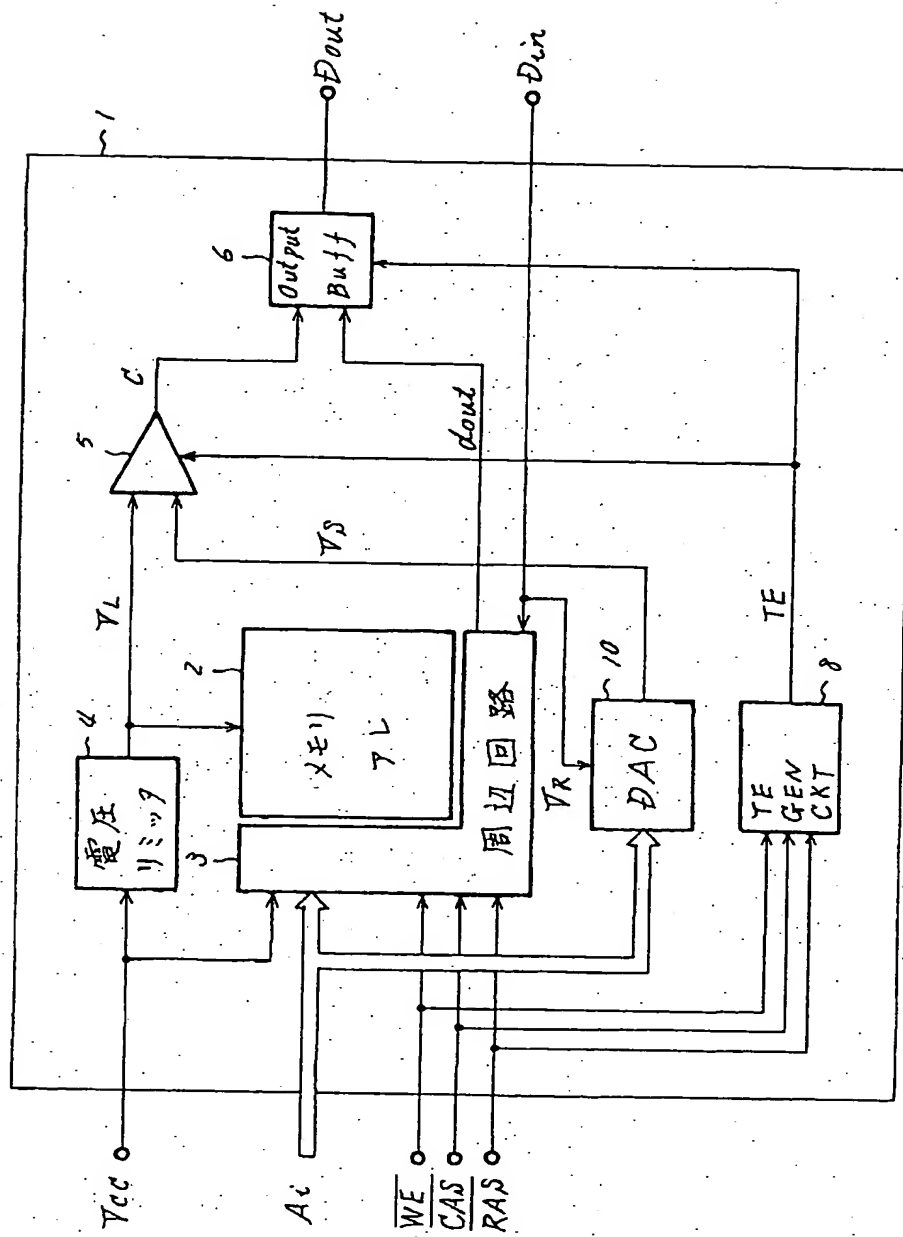
【第55図】



【第56図】

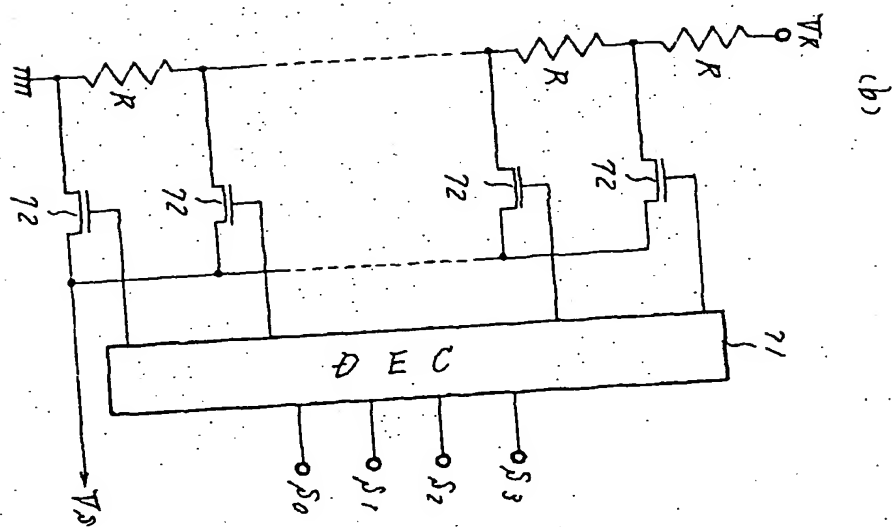
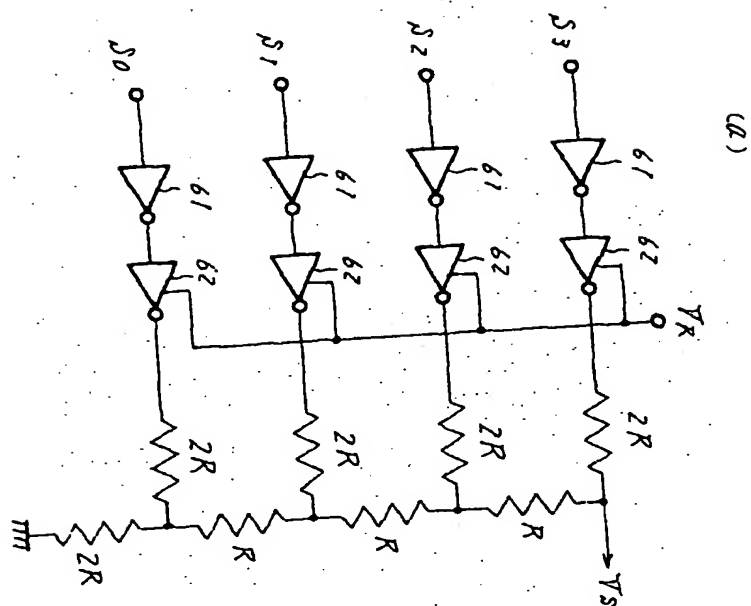


【第57図】

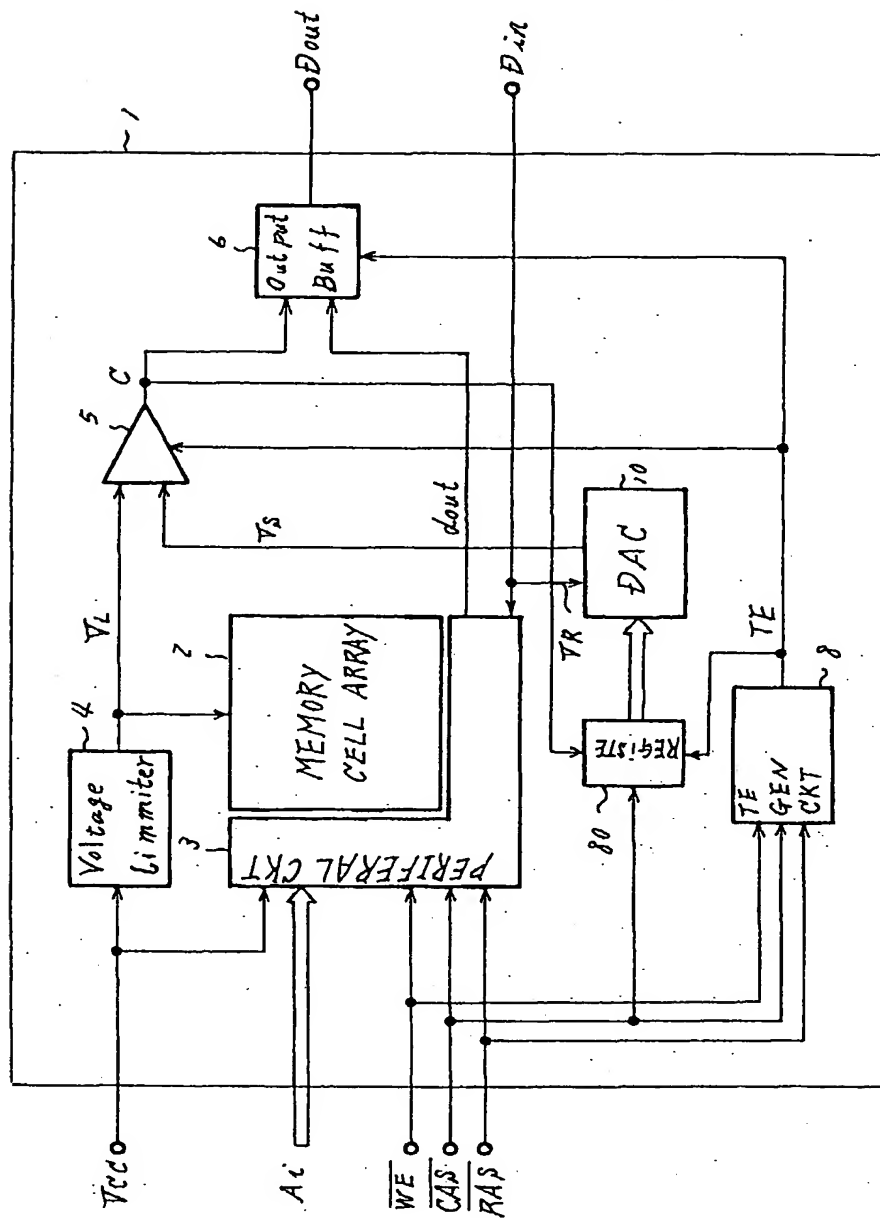


(67)

【第58図】



【第59図】



フロントページの続き

(72) 発明者 伊藤 清男  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72) 発明者 中込 儀延  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72) 発明者 池水 伸一  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72) 発明者 衛藤 潤  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 三宅 規雄  
東京都小平市上水本町1450番地 株式会  
社日立製作所武蔵工場内

(72)発明者 野田 孝明  
東京都小平市上水本町1450番地 株式会  
社日立製作所武蔵工場内

(72)発明者 田中 均  
東京都小平市上水本町5丁目20番1号  
日立超エル・エス・アイ・エンジニアリ  
ング株式会社内

(56)参考文献 特開 昭62-121990 (J P, A)  
特開 昭63-95653 (J P, A)  
特開 平1-241091 (J P, A)  
特開 平2-198096 (J P, A)  
特開 平2-28362 (J P, A)

(58)調査した分野(Int. Cl. 6, 1) B 6  
G11C 11/407